

BEST AVAILABLE COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月 3日

出 願 番 号
Application Number: 特願2003-055763
[ST. 10/C]: [JP2003-055763]

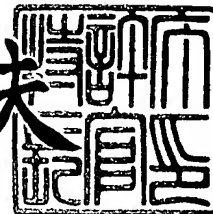
出 願 人
Applicant(s): 日本テキサス・インスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月12日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2004-3008510
TJ-35684 (20025037) US

| | |
|-----------|--------------------------------------|
| 【書類名】 | 特許願 |
| 【整理番号】 | 020591 |
| 【提出日】 | 平成15年 3月 3日 |
| 【あて先】 | 特許庁長官殿 |
| 【国際特許分類】 | G06F 7/50 |
| 【発明の名称】 | 桁上げ先見回路およびこれを用いた加算回路 |
| 【請求項の数】 | 10 |
| 【発明者】 | |
| 【住所又は居所】 | 茨城県つくば市御幸が丘17番地 日本テキサス・インスツルメンツ株式会社内 |
| 【氏名】 | 池野 理門 |
| 【特許出願人】 | |
| 【識別番号】 | 390020248 |
| 【氏名又は名称】 | 日本テキサス・インスツルメンツ株式会社 |
| 【代理人】 | |
| 【識別番号】 | 100094053 |
| 【弁理士】 | |
| 【氏名又は名称】 | 佐藤 隆久 |
| 【手数料の表示】 | |
| 【予納台帳番号】 | 014890 |
| 【納付金額】 | 21,000円 |
| 【提出物件の目録】 | |
| 【物件名】 | 明細書 1 |
| 【物件名】 | 図面 1 |
| 【物件名】 | 要約書 1 |
| 【包括委任状番号】 | 9102925 |
| 【プルーフの要否】 | 要 |

【書類名】 明細書

【発明の名称】 桁上げ先見回路およびこれを用いた加算回路

【特許請求の範囲】

【請求項 1】

2 ビットの入力信号の論理積、反転論理積、論理和または反転論理和を出力する、1 つまたは複数の第 1 の論理ゲート、および、

3 ビットの入力信号のうちの 2 ビットの信号の論理積と他の 1 ビットの信号との論理和もしくは反転論理和、または、当該 3 ビットの入力信号のうちの 2 ビットの信号の論理和と他の 1 ビットの信号との論理積もしくは反転論理積を出力する、1 つまたは複数の第 2 の論理ゲート

から構成される桁上げ先見回路。

【請求項 2】

2 ビットの入力信号の論理積、反転論理積、論理和または反転論理和を出力する、1 つまたは複数の第 1 の論理ゲート、

3 ビットの入力信号のうちの 2 ビットの信号の論理積と他の 1 ビットの信号との論理和もしくは反転論理和、または、当該 3 ビットの入力信号のうちの 2 ビットの信号の論理和と他の 1 ビットの信号との論理積もしくは反転論理積を出力する、1 つまたは複数の第 2 の論理回路、および、

1 ビットの入力信号を論理反転して出力する 1 つまたは複数の第 3 の論理ゲート

から構成される桁上げ先見回路。

【請求項 3】

入力される $(N-1)$ ビット (N は自然数を示す) のキャリー伝播信号の最下位桁を第 2 桁、入力される N ビットのキャリー生成信号の最下位桁を第 1 桁として、上記入力キャリー伝播信号の第 N 桁から第 k 桁 (k は 2 から N までの自然数を示す) までの各桁と上記入力キャリー生成信号の第 $(k-1)$ 桁との論理積と等しい第 $(k-1)$ の論理演算項、および、上記出力キャリー生成信号の第 N 桁と等しい第 N の論理演算項を、第 1 の論理演算項から第 N の論理演算項まで論理和演算した結果に相当するキャリー生成信号を出力する桁上げ先見回路であって

上記第1の論理演算項から第Nの論理演算項までの各項が番号順に並んだN項の論理和演算式において、上記第1の論理演算項側または上記第Nの論理演算項側から順番に、隣接する2項の論理和が1つのグループ項にグループ化され、グループ化された2項に共通項が存在する場合は、上記グループ項における2項の論理和が上記共通項と非共通項との論理積に変形され、上記グループ化後の論理和演算式における上記グループ項の数が2より大きい場合は、上記グループ化後の論理和演算式において上記番号順に応じた順序で並ぶ上記グループ項に対し上記グループ化および上記変形が更に反復されることにより取得される、2つの上記グループ項からなる論理和演算式を第1の論理式として、

複数ビットの上記入力キャリー伝播信号の論理積、反転論理積、論理和もしくは反転論理和に相当する信号、上記入力キャリー伝播信号、および上記入力キャリー生成信号の中から、2ビットの信号を入力し、入力した2ビットの信号の論理積、反転論理積、論理和または反転論理和を出力する、1つまたは複数の第1の論理ゲートと、

上記第1の論理式における上記グループ項、上記共通項、および上記非共通項の演算結果に相当する信号、ならびに、上記入力キャリー生成信号、上記入力キャリー伝播信号、および上記第1の論理ゲートの出力信号の中から、3ビットの信号を入力し、当該入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和もしくは反転論理和に相当する信号、または、当該入力信号のうちの2ビットの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積に相当する信号を、上記グループ項、上記非共通項、または上記出力キャリー生成信号の演算結果もしくはその論理反転に相当する信号として出力する、1つまたは複数の第2の論理ゲートと

を有する桁上げ先見回路。

【請求項4】

上記入力キャリー伝播信号の第2桁に対してさらに1桁下位の桁を第1桁として、

上記第1の論理ゲートは、

2ビットの入力信号のうちの1ビットの信号として、上記入力キャリー伝播信号の第1桁の信号を入力する論理ゲートと、

上記入力キャリー伝播信号の第1桁から第N桁までの各桁の論理積の演算結果に相当するキャリー伝播信号もしくはその論理反転を出力する論理ゲートとを含む、

請求項3に記載の桁上げ先見回路。

【請求項5】

上記入力キャリー生成信号、上記入力キャリー伝播信号、上記第1の論理ゲートの出力信号、および上記第2の論理ゲートの出力信号の中から1ビットの信号を入力し、当該入力信号を論理反転して、上記第1の論理ゲートもしくは上記第2の論理ゲートに出力するか、または、上記出力キャリー伝播信号もしくは上記出力キャリー生成信号として出力する、1つまたは複数の第3の論理ゲートを含む、

請求項3または4に記載の桁上げ先見回路。

【請求項6】

2つの加算対象信号の各桁の排他的論理和をキャリー伝播信号として出力し、上記2つの加算対象信号の各桁の論理積をキャリー生成信号として出力する第1の論理演算回路と、

上記第1の論理演算回路の上記キャリー伝播信号および上記キャリー生成信号に応じて、上記加算対象信号の加算により発生する各桁の桁上りを演算し、当該演算結果をキャリー信号として出力する第2の論理演算回路と、

上記加算対象信号の各桁に対する下位桁からの上記キャリー信号と各桁の上記キャリー伝播信号との排他的論理和を演算し、当該演算結果を各桁の加算結果として出力する第3の論理演算回路とを有し、

上記第2の論理演算回路は、

2ビットの入力信号の論理積、反転論理積、論理和または反転論理和を出力する、1つまたは複数の第1の論理ゲート、および、

3ビットの入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和もしくは反転論理和、または、当該3ビットの入力信号のうちの2ビッ

トの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積を出力する、1つまたは複数の第2の論理ゲート

から構成される1つまたは複数の桁上げ先見回路を含む、
加算回路。

【請求項7】

2つの加算対象信号の各桁の排他的論理和をキャリー伝播信号として出力し、
上記2つの加算対象信号の各桁の論理積をキャリー生成信号として出力する第1
の論理演算回路と、

上記第1の論理演算回路の上記キャリー伝播信号および上記キャリー生成信号
に応じて、上記加算対象信号の加算により発生する各桁の桁上がりを演算し、当
該演算結果をキャリー信号として出力する第2の論理演算回路と、

上記加算対象信号の各桁に対する下位桁からの上記キャリー信号と各桁の上記
キャリー伝播信号との排他的論理和を演算し、当該演算結果を各桁の加算結果と
して出力する第3の論理演算回路とを有し、

上記第2の論理演算回路は、

2ビットの入力信号の論理積、反転論理積、論理和または反転論理和を出力す
る、1つまたは複数の第1の論理ゲート、

3ビットの入力信号のうちの2ビットの信号の論理積と他の1ビットの信号と
の論理和もしくは反転論理和、または、当該3ビットの入力信号のうちの2ビッ
トの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積を出力す
る、1つまたは複数の第2の論理回路、および、

1ビットの入力信号を論理反転して出力する1つまたは複数の第3の論理ゲー
ト

から構成される1つまたは複数の桁上げ先見回路を含む、
加算回路。

【請求項8】

2つの加算対象信号の各桁の排他的論理和をキャリー伝播信号として出力し、
上記2つの加算対象信号の各桁の論理積をキャリー生成信号として出力する第1
の論理演算回路と、

上記第1の論理演算回路の上記キャリー伝播信号および上記キャリー生成信号に応じて、上記加算対象信号の加算により発生する各桁の桁上りを演算し、当該演算結果をキャリー信号として出力する第2の論理演算回路と、

上記加算対象信号の各桁に対する下位桁からの上記キャリー信号と各桁の上記キャリー伝播信号との排他的論理和を演算し、当該演算結果を各桁の加算結果として出力する第3の論理演算回路とを有し、

上記第2の論理演算回路は、

上記第1の論理演算回路から出力される複数ビットの上記キャリー伝播信号と複数ビットの上記キャリー生成信号とを入力し、1ビットの出力キャリー伝播信号と1ビットの出力キャリー生成信号とを出力する、1つまたは複数の桁上げ先見回路と、

上記第1の論理演算回路の上記キャリー伝播信号および上記キャリー生成信号と、上記桁上げ先見回路の上記出力キャリー伝播信号および上記出力キャリー生成信号とに応じた上記キャリー信号を出力するキャリー信号出力回路とを含み、

上記桁上げ先見回路は、

上記第1の論理演算回路から入力するNビット（Nは自然数を示す）の上記キャリー伝播信号およびNビットの上記キャリー生成信号の最下位桁をそれぞれ第1桁として、

上記入力キャリー伝播信号の第N桁から第k桁（kは2からNまでの自然数を示す）までの各桁と上記入力キャリー生成信号の第（k-1）桁との論理積と等しい第（k-1）の論理演算項、および、上記入力キャリー生成信号の第N桁と等しい第Nの論理演算項を、第1の論理演算項から第Nの論理演算項まで論理和演算した結果に相当する上記出力キャリー生成信号と、

上記入力キャリー伝播信号の第1桁から第N桁までの各桁の論理積を演算した結果に相当する上記出力キャリー伝播信号と

を出力する桁上げ先見回路であって、

上記第1の論理演算項から第Nの論理演算項までの各項が番号順に並んだN項の論理和演算式において、上記第1の論理演算項側または上記第Nの論理演算項側から順番に、隣接する2項の論理和が1つのグループ項にグループ化され、グ

ループ化された2項に共通項が存在する場合は、上記グループ項における2項の論理和が上記共通項と非共通項との論理積に変形され、上記グループ化後の論理和演算式における上記グループ項の数が2より大きい場合は、上記グループ化後の論理和演算式において上記番号順に応じた順序で並ぶ上記グループ項に対し上記グループ化および上記変形が更に反復されることにより取得される、2つの上記グループ項からなる論理和演算式を第1の論理式として、

複数ビットの上記入力キャリー伝播信号の論理積、反転論理積、論理和もしくは反転論理和に相当する信号、上記入力キャリー伝播信号、および上記入力キャリー生成信号の中から、2ビットの信号を入力し、入力した2ビットの信号の論理積、反転論理積、論理和または反転論理和を出力する、1つまたは複数の第1の論理ゲートと、

上記第1の論理式における上記グループ項、上記共通項、および上記非共通項の演算結果に相当する信号、ならびに、上記入力キャリー生成信号、上記入力キャリー伝播信号、および上記第1の論理ゲートの出力信号の中から、3ビットの信号を入力し、当該入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和もしくは反転論理和に相当する信号、または、当該入力信号のうちの2ビットの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積に相当する信号を、上記グループ項、上記非共通項、または上記出力キャリー生成信号の演算結果もしくはその論理反転に相当する信号として出力する、1つまたは複数の第2の論理ゲートとを含む、

加算回路。

【請求項9】

上記桁上げ先見回路は、

上記入力キャリー生成信号、上記入力キャリー伝播信号、上記第1の論理ゲートの出力信号、および上記第2の論理ゲートの出力信号の中から1ビットの信号を入力し、当該入力信号を論理反転して、上記第1の論理ゲートもしくは上記第2の論理ゲートに出力するか、または、上記出力キャリー伝播信号もしくは上記出力キャリー生成信号として出力する、1つまたは複数の第3の論理ゲートを含む、

請求項 8 に記載の加算回路。

【請求項 10】

上記複数の桁上げ先見回路は、複数段の階層に分類されており、

初段の階層に含まれる桁上げ先見回路は、上記第 1 の論理演算回路から出力される複数ビットの上記キャリー伝播信号と複数ビットの上記キャリー生成信号とを入力して、1 ビットの出力キャリー伝播信号と 1 ビットの出力キャリー生成信号とを出力し、

初段に続く各段の桁上げ先見回路は、前段の複数の桁上げ先見回路から出力される複数ビットの上記出力キャリー伝播信号と複数ビットの上記出力キャリー生成信号とを入力して、1 ビットの出力キャリー伝播信号と 1 ビットの出力キャリー生成信号とを出力する、

請求項 8 または 9 に記載の加算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、加算回路においてキャリー信号の生成を高速化するために用いられる桁上げ先見回路と、桁上げ先見回路を用いた加算回路に関するものである。

【0002】

【従来の技術】

加算回路を構成する場合、動作速度の向上を図る上で最も問題となるのがキャリー（carry：桁上げ）信号の伝播遅延である。たとえばリプルキャリー型の加算回路では、キャリー信号が最下位ビットから最上位ビットまで順に伝播していくため、最上位ビットの演算結果と桁あふれが確定するまでには、加算対象信号のビット長に比例した遅延時間が生じてしまう。

【0003】

図 16 は、4 ビット信号の加算を行うリプルキャリー型加算回路の構成例を示す回路図である。図 16 に示すリプルキャリー型加算回路は、4 つの全加算器 1 ～ 4 で構成される。

【0004】

全加算器 1～4 は、下位桁から 1 ビットのキャリー信号 c_t を入力するとともに、加算対象として 1 ビットの信号 a および b を入力する。そして、加算結果として 1 ビットの信号 s を出力するとともに、上位桁へ 1 ビットのキャリー信号 c_0 を出力する。加算結果の信号 s およびキャリー信号 c_0 は、それぞれ次式で表される。

【0005】

【数 1】

$$s = a \oplus b \oplus c_t \quad \dots (1)$$

$$c_0 = a \cdot b + (a \oplus b) \cdot c_t \quad \dots (2)$$

【0006】

全加算器 1～4 には、加算対象信号の各桁の信号が入力される。すなわち、全加算器 1, ..., 4 には、この順番に対応して、4 ビット加算対象信号の最下位桁 (a_0 , b_0), ..., 最上位桁 (a_3 , b_3) がそれぞれ入力される。

また、全加算器 1～4 には、それぞれ下位の全加算器からのキャリー信号が入力される。すなわち、全加算器 1 には、外部からのキャリー信号 c_{in} が入力される。全加算器 2 には、全加算器 1 からのキャリー信号 c_0 が入力される。全加算器 3 には、全加算器 2 からのキャリー信号 c_1 が入力される。全加算器 4 には、全加算器 3 からのキャリー信号 c_2 が入力される。

全加算器 1～4 から出力される加算結果の信号 $s_0 \sim s_3$ は、4 ビットの加算結果の最下位桁～最上位桁にそれぞれ対応する。

全加算器 4 から出力されるキャリー信号は、4 ビットの加算結果における桁あふれ（オーバーフロー）を示す。

【0007】

上述した構成を有する図 16 に示す加算回路において、最上位桁の加算結果 s_3 とその桁あふれ信号 c_3 は、下位のキャリー信号 c_2 が出力されるまで確定しない。また、このキャリー信号 c_2 は、下位のキャリー信号 c_1 が出力されるまで確定せず、キャリー信号 c_1 は、さらに下位のキャリー信号 c_0 が出力されるまで確定しない。

すなわち、ある桁の加算結果と桁上がりが確定するためには、その桁より下位の全てのキャリー信号が確定している必要がある。このため、キャリー信号の伝播経路（図16の点線）は、リプルキャリー型加算回路における最長の遅延経路（クリティカル・パス）となる。加算対象信号のビット長が増すと、これに応じた全加算器の段数が追加され、この追加された全加算器におけるキャリー信号の生成回路がクリティカル・パスに加わるため、最終的な加算結果が確定するまでの遅延時間が長くなってしまう。

【0008】

こうしたキャリー信号の伝播遅延を改善する手法の1つとして、キャリールックahead回路（carry look-ahead circuit：桁上げ先見回路）を用いた手法がある。

この手法では、加算対象信号の最下位桁を第1桁として、第（ $i+1$ ）桁（ i はゼロを含む正の整数を示す）の加算により生じるキャリー信号 c_i が次式に示すような関係を有することを利用して、下位桁のキャリーの検出を待つことなく上位桁のキャリーが検出される。

【0009】

【数2】

$$\begin{aligned}
 c_i &= p_i' c_{i-1} + g_i \\
 &= p_i' p_{i-1}' \cdots p_1' g_0 \\
 &\quad + p_i' p_{i-1}' \cdots p_2' g_1 \\
 &\quad \vdots \\
 &\quad + p_i' g_{i-1} \\
 &\quad + g_i \quad \dots \quad (3)
 \end{aligned}$$

【0010】

式（3）において、信号 p_i および信号 g_i は、加算対象信号の第（ $i+1$ ）桁の信号（ a_i 、 b_i ）を用いて、次式のように表される。

【0011】

【数 3】

$$p_i = a_i \oplus b_i \quad \dots (4)$$

$$g_i = a_i \cdot b_i \quad \dots (5)$$

【0012】

一般に、信号 p_i はキャリー伝播信号、信号 g_i はキャリー生成信号と呼ばれている。

なお、式 (3) においては、キャリー信号 c_{-1} を '0'、すなわち、加算対象信号の第 1 桁に対する外部からのキャリー入力存在しないものとしている。外部キャリー信号 c_{in} が存在する場合、キャリー信号 c_i は次式のように表される。

【0013】

【数 4】

$$\begin{aligned} c_i = & p_i \cdot p_{i-1} \cdot \dots \cdot p_0 \cdot c_{in} \\ & + p_i \cdot p_{i-1} \cdot \dots \cdot p_1 \cdot g_0 \\ & + p_i \cdot p_{i-1} \cdot \dots \cdot p_2 \cdot g_1 \\ & \vdots \\ & + p_i \cdot g_{i-1} \\ & + g_i \quad \dots (3A) \end{aligned}$$

【0014】

たとえば、4 ビットの加算回路における最上位桁（第 4 桁）からのキャリー信号 c_3 は、外部キャリー信号 c_{in} が存在しないものとして式 (3) を用いると、次式のように表される。

【0015】

【数 5】

$$\begin{aligned} c_3 = & p_3 \cdot p_2 \cdot p_1 \cdot g_0 \\ & + p_3 \cdot p_2 \cdot g_1 \\ & + p_3 \cdot g_2 \\ & + g_3 \quad \dots (6) \end{aligned}$$

【0016】

図17は、式(6)の関係を利用して構成された、キャリー信号 c_3 の生成回路の一例を示す回路図である。

図17に示すキャリー信号 c_3 の生成回路は、半加算器5～8と、4入力NANDゲート9および13と、3入力NANDゲート10と、2入力NANDゲート11と、インバータ12とを有する。

【0017】

半加算器5～8は、各桁の加算対象信号を入力し、式(4)に示す排他的論理和および式(5)に示す論理積を演算して、キャリー伝播信号およびキャリー生成信号を出力する。

すなわち、半加算器5、…、8は、この順番に対応して、4ビット加算対象信号の最下位桁 (a_0 、 b_0)、…、最上位桁 (a_3 、 b_3) をそれぞれ入力する。そして、入力した加算対象信号の排他的論理和および論理積を演算し、キャリー伝播信号およびキャリー生成信号の組 (p_0 、 g_0)、…、(p_3 、 g_3) をそれぞれ出力する。

【0018】

4入力NANDゲート9は、半加算器5から出力されるキャリー生成信号 g_0 と、半加算器6～8から出力されるキャリー伝播信号 $p_1 \sim p_3$ とを入力し、入力した4信号の反転論理積を出力する。この出力信号は、式(6)の右辺第1項を論理反転した信号に相当する。

【0019】

3入力NANDゲート10は、半加算器6から出力されるキャリー生成信号 g_1 と、半加算器7および8から出力されるキャリー伝播信号 p_2 および p_3 とを入

力し、入力した3信号の反転論理積を出力する。この出力信号は、式(6)の右辺第2項を論理反転した信号に相当する。

【0020】

2入力NANDゲート11は、半加算器7から出力されるキャリー生成信号 g_2 と半加算器8から出力されるキャリー伝播信号 p_3 とを入力し、入力した2信号の反転論理積を出力する。この出力信号は、式(6)の右辺第3項を論理反転した信号に相当する。

【0021】

インバータ12は、半加算器8から出力されるキャリー生成信号 g_3 を論理反転して出力する。この出力信号は、式(6)の右辺第4項を論理反転した信号に相当する。

【0022】

4入力NANDゲート13は、NANDゲート9～11およびインバータ12の出力信号を入力し、入力した4信号の反転論理積を出力する。この出力信号は、式(6)に示すキャリー信号 c_3 に相当する。

【0023】

上述した構成を有するキャリー信号 c_3 の生成回路によれば、下位のキャリー信号($c_0 \sim c_2$)の確定を待つことなく、加算対象信号(a_0, \dots, a_3)および(b_0, \dots, b_3)から直接キャリー信号 c_3 を生成することができるため、図16に示すリプルキャリー方式に比べて、キャリー信号の伝播遅延を短くすることができる。

【0024】

図17に示す回路は、最下位桁から4番目の桁におけるキャリー信号を生成する回路であるが、更に多ビットの加算においてキャリー信号を生成する場合には、複数のCLA回路を階層的に接続する方式が一般に用いられる。

【0025】

図18は、複数のCLA回路を階層的に接続して構成されるキャリー信号 c_{15} の生成回路の一例を示す回路図である。

図18に示すキャリー信号 c_{15} の生成回路は、4ビット半加算器21～24と

、CLA回路25～29とを有する。

【0026】

4ビット半加算器21～24は、16ビットの加算対象信号を4分割して得られる4ビットの信号をそれぞれ入力し、式(4)および(5)で示すキャリー伝播信号およびキャリー生成信号を各桁について演算する。

【0027】

すなわち、半加算器21は最下位桁(第1桁)～第4桁の加算対象信号(a_0, \dots, a_3)および(b_0, \dots, b_3)を、半加算器22は第5桁～第8桁の加算対象信号(a_4, \dots, a_7)および(b_4, \dots, b_7)を、半加算器23は第9桁～第12桁の加算対象信号(a_8, \dots, a_{11})および(b_8, \dots, b_{11})を、半加算器24は第13桁～第16桁の加算対象信号(a_{12}, \dots, a_{15})および(b_{12}, \dots, b_{15})を、それぞれ入力する。

そして、入力した加算対象信号の各桁について式(4)の排他的論理和および式(5)の論理積を演算する。半加算器21はキャリー伝播信号(p_0, \dots, p_3)およびキャリー生成信号(g_0, \dots, g_3)を、半加算器22はキャリー伝播信号(p_4, \dots, p_7)およびキャリー生成信号(g_4, \dots, g_7)を、半加算器23はキャリー伝播信号(p_8, \dots, p_{11})およびキャリー生成信号(g_8, \dots, g_{11})を、半加算器24はキャリー伝播信号(p_{12}, \dots, p_{15})およびキャリー生成信号(g_{12}, \dots, g_{15})を、それぞれ演算して出力する。

【0028】

図19は、4ビット半加算器21の構成例を示す回路図である。

4ビット半加算器21は、たとえば図19に示すように、1ビットの半加算器30～33を4つ用いて構成される。他の4ビット半加算器22～24についても、図19と同様な構成で実現可能である。

【0029】

CLA回路25～28は、4ビット半加算器21～24から出力される4ビットのキャリー伝播信号および4ビットのキャリー生成信号をそれぞれ入力し、これに応じた1ビットのキャリー伝播信号および1ビットのキャリー生成信号をそれぞれ出力する。

【0030】

すなわち、C L A回路25は半加算器21のキャリー伝播信号 (p_0, \dots, p_3) およびキャリー生成信号 (g_0, \dots, g_3) を、C L A回路26は半加算器22のキャリー伝播信号 (p_4, \dots, p_7) およびキャリー生成信号 (g_4, \dots, g_7) を、C L A回路27は半加算器23のキャリー伝播信号 (p_8, \dots, p_{11}) およびキャリー生成信号 (g_8, \dots, g_{11}) を、C L A回路28は半加算器24のキャリー伝播信号 (p_{12}, \dots, p_{15}) およびキャリー生成信号 (g_{12}, \dots, g_{15}) を、それぞれ入力する。

そして、この入力に応じた1ビットのキャリー伝播信号および1ビットのキャリー生成信号を演算する。C L A回路25はキャリー伝播信号 P_0 およびキャリー生成信号 G_0 を、C L A回路26はキャリー伝播信号 P_1 およびキャリー生成信号 G_1 を、C L A回路27はキャリー伝播信号 P_2 およびキャリー生成信号 G_2 を、C L A回路28はキャリー伝播信号 P_3 およびキャリー生成信号 G_3 を、それぞれ演算結果として出力する。

【0031】

C L A回路25～28に対する4ビットの入力キャリー伝播信号を下位桁から信号 $p(0) \sim p(3)$ として表し、また、4ビットの入力キャリー生成信号を下位桁から信号 $g(0) \sim g(3)$ として表した場合、1ビットの出力キャリー伝播信号 P および1ビットの出力キャリー生成信号 G は次式のように表される。

【0032】

【数6】

$$\begin{aligned} G = & p_{(3)} \cdot p_{(2)} \cdot p_{(1)} \cdot g_{(0)} \\ & + p_{(3)} \cdot p_{(2)} \cdot g_{(1)} \\ & + p_{(3)} \cdot g_{(2)} \\ & + g_{(3)} \quad \dots \quad (7) \end{aligned}$$

$$P = p_{(3)} \cdot p_{(2)} \cdot p_{(1)} \cdot p_{(0)} \quad \dots \quad (8)$$

【0033】

図20は、CLA回路25の構成例を示す回路図である。

CLA回路25において出力キャリー生成信号 G_0 を生成する回路(14~18)は、図17においてキャリー信号 c_3 を生成する回路(9~13)と同一である。

また、キャリー伝播信号 P_0 の生成は、4入力のNANDゲート19においてキャリー伝播信号 $p_0 \sim p_3$ の反転論理積を演算し、その演算結果をインバータ20において論理反転することにより実現される。

他のCLA回路26~28についても、図20と同様な回路構成で実現可能である。

【0034】

CLA回路29は、CLA回路26~28から出力される4ビットの出力キャリー伝播信号(P_0, \dots, P_3)および4ビットの出力キャリー生成信号(G_0, \dots, G_3)を入力し、これに応じた1ビットのキャリー伝播信号 P_o および1ビットのキャリー生成信号 G_o を出力する。

【0035】

CLA回路29の出力キャリー生成信号 G_o および出力キャリー伝播信号 P_o は、式(7)および(8)における入力キャリー伝播信号($p(0), \dots, p(3)$)および入力キャリー生成信号($g(0), \dots, g(3)$)を、CLA回路26~28の出力キャリー伝播信号(P_0, \dots, P_3)および出力キャリー生成信号(G_0, \dots, G_3)に置き換えることにより、CLA回路25~28と同様に演算される。

したがって、CLA回路29の回路構成は、図20と同様な構成で実現可能である。

【0036】

上述した構成を有するキャリー信号 c_{15} の生成回路において、CLA回路29の出力キャリー生成信号 G_o は、上述した式(3)において $i=15$ とした場合におけるキャリー信号 c_{15} と等しくなる。

すなわち、式(3)を用いると、キャリー信号 c_{15} は次式のように表される。

【0037】

【数 7】

$$\begin{aligned}
 C_{15} &= p_{15} \cdot p_{14} \cdots p_1 \cdot g_0 \\
 &+ p_{15} \cdot p_{14} \cdots p_2 \cdot g_1 \\
 &+ p_{15} \cdot g_{14} \\
 &+ g_{15} \quad \dots \quad (9)
 \end{aligned}$$

【0038】

C L A回路 25 ～ 27 の出力キャリー伝播信号 $P_0 \sim P_2$ 、C L A回路 25 の出力キャリー生成信号 G_0 は、次式のように表される。

【0039】

【数 8】

$$P_3 = p_{15} \cdot p_{14} \cdot p_{13} \cdot p_{12} \quad \dots \quad (10A)$$

$$P_2 = p_{11} \cdot p_{10} \cdot p_9 \cdot p_8 \quad \dots \quad (10B)$$

$$P_1 = p_7 \cdot p_6 \cdot p_5 \cdot p_4 \quad \dots \quad (10C)$$

$$\begin{aligned}
 G_0 &= p_3 \cdot p_2 \cdot p_1 \cdot g_0 \\
 &+ p_3 \cdot p_2 \cdot g_1 \\
 &+ p_3 \cdot g_2 \\
 &+ g_3 \quad \dots \quad (10D)
 \end{aligned}$$

【0040】

式 (9) の右辺第 1 項～第 4 項に対して式 (10A) ～ (10D) を代入すると、この第 1 項～第 4 項の論理和 W_{14} は次式のように表される。

【0041】

【数 9】

$$\begin{aligned}
 W_{14} &= P_3 \cdot P_2 \cdot P_1 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0 \\
 &+ P_3 \cdot P_2 \cdot P_1 \cdot p_3 \cdot p_2 \cdot g_1 \\
 &+ P_3 \cdot P_2 \cdot P_1 \cdot p_3 \cdot g_2 \\
 &+ P_3 \cdot P_2 \cdot P_1 \cdot g_3 \\
 &= P_3 \cdot P_2 \cdot P_1 \cdot G_0 \quad \dots \quad (11)
 \end{aligned}$$

【0042】

式(9)の右辺第5項～第8項、第9項～第12項、および第13項～第16項の論理和についても、式(11)の論理和 W_{14} と同様に、CLA回路25～28の出力キャリー伝播信号および出力キャリー生成信号を用いて表すことが可能である。

この結果、キャリー信号 c_{15} は次式のように表される。

【0043】

【数10】

$$\begin{aligned}
 C_{15} &= P_3 \cdot P_2 \cdot P_1 \cdot G_0 \\
 &+ P_3 \cdot P_2 \cdot G_1 \\
 &+ P_3 \cdot G_2 \\
 &+ G_3 \quad \dots \quad (9A)
 \end{aligned}$$

【0044】

式(9A)の右辺はCLA回路29の出力キャリー生成信号 G_0 と等しい。このことから、出力キャリー生成信号 G_0 がキャリー信号 c_{15} と等しくなることが分かる。

【0045】

なお、図18に示す回路は、4ビットのキャリー伝播信号および4ビットのキャリー生成信号を入力して1ビットのキャリー伝播信号および1ビットのキャリー生成信号を出力するCLA回路であるが、一般に、Nビットのキャリー伝播信号およびNビットのキャリー生成信号を入力するCLA回路の場合、その出力キ

キャリー伝播信号 P および出力キャリー生成信号 G は、次式のように表される。

【0046】

【数11】

$$\begin{aligned} G = & p_{(N-1)} \cdot p_{(N-2)} \cdots p_{(1)} \cdot g_{(0)} \\ & + p_{(N-1)} \cdot p_{(N-2)} \cdots p_{(2)} \cdot g_{(1)} \\ & \vdots \\ & + p_{(N-1)} \cdot g_{(N-1)} \\ & + g_{(N-1)} \quad \dots \quad (12) \end{aligned}$$

$$P = p_{(N-1)} \cdot p_{(N-2)} \cdots p_{(1)} \cdot p_{(0)} \quad \dots \quad (13)$$

【0047】

複数のCLA回路を階層的に接続して構成されたキャリールックアヘッド型加算回路としては、たとえば、特許文献1に記載された技術が存在する。

【0048】

【特許文献1】

特開平5-61643号公報

【0049】

【発明が解決しようとする課題】

ところで、図17や図18に示すキャリー信号の生成回路において用いられるCLA回路では、3入力や4入力など、多入力のNANDが用いられている。一般に、NANDゲートやNORゲートなどのゲートにおいては、その入力信号数が多くなるほど、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が多くなる。たとえば4入力のNANDゲートの場合、出力端子と接地ラインとの間には4段ものトランジスタが直列に挿入される。このため、こうした多入力ゲートでは出力電流の駆動能力が低くなり、動作速度が遅くなる傾向がある。

【0050】

多入力ゲートの速度低下を抑えるためには、トランジスタのサイズ又はゲート幅を増やしてオン抵抗を下げる必要がある。トランジスタのサイズを大きくする

と、回路面積が増加してしまう不具合に加えて、ゲート容量の増加によりトランジスタの駆動損失が増大してしまう不具合が生じる。

【0051】

しかしながら、キャリア信号の生成回路は加算回路全体のクリティカル・パスであることから、加算回路全体の性能向上を図るためには、CLA回路の多入力ゲートに用いるトランジスタを大面積にする必要がある。このため、従来のCLA回路では、加算回路の動作速度を向上させる代償として、回路面積の増加と消費電力の増大が常に問題となってきた。

【0052】

また、「特許文献1」の図5には、式(7)に示す出力キャリア生成信号Gと同等な信号を生成するCLA回路に複合型ゲートを用いる例が示されている。図21は、この複合型ゲートを用いて構成されたCLA回路の一例を示す回路図である。

【0053】

図21に示す複合型ゲートにおいて、インバータ34の入力端子と電源ラインVccとの間には、p型MOSトランジスタQp1～Qp4の4トランジスタが直列に挿入されており、インバータ34の入力端子と接地ラインGとの間には、n型MOSトランジスタQn1～Qn4の4トランジスタが直列に挿入されている。したがって、CLA回路の高速化を図るためにはこれらのトランジスタサイズを大きくする必要があるが生じ、上述と同様な回路面積の増加と消費電力の増大を招来する不具合が存在する。

【0054】

本発明はかかる事情に鑑みてなされたものであり、その目的は、回路面積の増加と消費電力の増大を抑えることができる桁上げ先見回路および加算回路を提供することにある。

【0055】

【課題を解決するための手段】

上記の目的を達成するため、本発明の第1の観点の桁上げ先見回路は、

2ビットの入力信号の論理積、反転論理積、論理和または反転論理和を出力す

る、1つまたは複数の第1の論理ゲート、および、

3ビットの入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和もしくは反転論理和、または、当該3ビットの入力信号のうちの2ビットの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積を出力する、1つまたは複数の第2の論理ゲート

から構成される。

【0056】

本発明の第2の観点の桁上げ先見回路は、

2ビットの入力信号の論理積、反転論理積、論理和または反転論理和を出力する、1つまたは複数の第1の論理ゲート、

3ビットの入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和もしくは反転論理和、または、当該3ビットの入力信号のうちの2ビットの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積を出力する、1つまたは複数の第2の論理回路、および、

1ビットの入力信号を論理反転して出力する1つまたは複数の第3の論理ゲートから構成される。

【0057】

本発明の第3の観点の桁上げ先見回路は、

入力される $(N-1)$ ビット(N は自然数を示す)のキャリー伝播信号の最下位桁を第2桁、入力される N ビットのキャリー生成信号の最下位桁を第1桁として、上記入力キャリー伝播信号の第 N 桁から第 k 桁(k は2から N までの自然数を示す)までの各桁と上記入力キャリー生成信号の第 $(k-1)$ 桁との論理積と等しい第 $(k-1)$ の論理演算項、および、上記出力キャリー生成信号の第 N 桁と等しい第 N の論理演算項を、第1の論理演算項から第 N の論理演算項まで論理和演算した結果に相当するキャリー生成信号を出力する桁上げ先見回路であって、

上記第1の論理演算項から第 N の論理演算項までの各項が番号順に並んだ N 項の論理和演算式において、上記第1の論理演算項側または上記第 N の論理演算項側から順番に、隣接する2項の論理和が1つのグループ項にグループ化され、グ

ループ化された2項に共通項が存在する場合は、上記グループ項における2項の論理和が上記共通項と非共通項との論理積に変形され、上記グループ化後の論理和演算式における上記グループ項の数が2より大きい場合は、上記グループ化後の論理和演算式において上記番号順に応じた順序で並ぶ上記グループ項に対し上記グループ化および上記変形が更に反復されることにより取得される、2つの上記グループ項からなる論理和演算式を第1の論理式として、

複数ビットの上記入力キャリー伝播信号の論理積、反転論理積、論理和もしくは反転論理和に相当する信号、上記入力キャリー伝播信号、および上記入力キャリー生成信号の中から、2ビットの信号を入力し、入力した2ビットの信号の論理積、反転論理積、論理和または反転論理和を出力する、1つまたは複数の第1の論理ゲートと、

上記第1の論理式における上記グループ項、上記共通項、および上記非共通項の演算結果に相当する信号、ならびに、上記入力キャリー生成信号、上記入力キャリー伝播信号、および上記第1の論理ゲートの出力信号の中から、3ビットの信号を入力し、当該入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和もしくは反転論理和に相当する信号、または、当該入力信号のうちの2ビットの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積に相当する信号を、上記グループ項、上記非共通項、または上記出力キャリー生成信号の演算結果もしくはその論理反転に相当する信号として出力する、1つまたは複数の第2の論理ゲートとを有する。

【0058】

上記入力キャリー伝播信号の第2桁に対してさらに1桁下位の桁を第1桁として、

上記第1の論理ゲートは、

2ビットの入力信号のうちの1ビットの信号として、上記入力キャリー伝播信号の第1桁の信号を入力する論理ゲートと、

上記入力キャリー伝播信号の第1桁から第N桁までの各桁の論理積の演算結果に相当するキャリー伝播信号もしくはその論理反転を出力する論理ゲートとを含んでも良い。

【0059】

また、上記入力キャリー生成信号、上記入力キャリー伝播信号、上記第1の論理ゲートの出力信号、および上記第2の論理ゲートの出力信号の中から1ビットの信号を入力し、当該入力信号を論理反転して、上記第1の論理ゲートもしくは上記第2の論理ゲートに出力するか、または、上記出力キャリー伝播信号もしくは上記出力キャリー生成信号として出力する、1つまたは複数の第3の論理ゲートを含んでも良い。

【0060】

本発明の第4の観点の加算回路は、

2つの加算対象信号の各桁の排他的論理和をキャリー伝播信号として出力し、上記2つの加算対象信号の各桁の論理積をキャリー生成信号として出力する第1の論理演算回路と、

上記第1の論理演算回路の上記キャリー伝播信号および上記キャリー生成信号に応じて、上記加算対象信号の加算により発生する各桁の桁上りを演算し、当該演算結果をキャリー信号として出力する第2の論理演算回路と、

上記加算対象信号の各桁に対する下位桁からの上記キャリー信号と各桁の上記キャリー伝播信号との排他的論理和を演算し、当該演算結果を各桁の加算結果として出力する第3の論理演算回路とを有する。

上記第2の論理演算回路は、

上記第1の論理演算回路から出力される複数ビットの上記キャリー伝播信号と複数ビットの上記キャリー生成信号とを入力し、1ビットの出力キャリー伝播信号と1ビットの出力キャリー生成信号とを出力する、1つまたは複数の桁上げ先見回路と、

上記第1の論理演算回路の上記キャリー伝播信号および上記キャリー生成信号と、上記桁上げ先見回路の上記出力キャリー伝播信号および上記出力キャリー生成信号とに応じた上記キャリー信号を出力するキャリー信号出力回路とを含む。

上記桁上げ先見回路は、

上記第1の論理演算回路から入力するNビット（Nは自然数を示す）の上記キャリー伝播信号およびNビットの上記キャリー生成信号の最下位桁をそれぞれ第

1 桁として、

上記入力キャリー伝播信号の第 N 桁から第 k 桁 (k は 2 から N までの自然数を示す) までの各桁と上記入力キャリー生成信号の第 $(k-1)$ 桁との論理積と等しい第 $(k-1)$ の論理演算項、および、上記入力キャリー生成信号の第 N 桁と等しい第 N の論理演算項を、第 1 の論理演算項から第 N の論理演算項まで論理和演算した結果に相当する上記出力キャリー生成信号と、

上記入力キャリー伝播信号の第 1 桁から第 N 桁までの各桁の論理積を演算した結果に相当する上記出力キャリー伝播信号と

を出力する桁上げ先見回路であって、

上記第 1 の論理演算項から第 N の論理演算項までの各項が番号順に並んだ N 項の論理和演算式において、上記第 1 の論理演算項側または上記第 N の論理演算項側から順番に、隣接する 2 項の論理和が 1 つのグループ項にグループ化され、グループ化された 2 項に共通項が存在する場合は、上記グループ項における 2 項の論理和が上記共通項と非共通項との論理積に変形され、上記グループ化後の論理和演算式における上記グループ項の数が 2 より大きい場合は、上記グループ化後の論理和演算式において上記番号順に応じた順序で並ぶ上記グループ項に対し上記グループ化および上記変形が更に反復されることにより取得される、2 つの上記グループ項からなる論理和演算式を第 1 の論理式として、

複数ビットの上記入力キャリー伝播信号の論理積、反転論理積、論理和もしくは反転論理和に相当する信号、上記入力キャリー伝播信号、および上記入力キャリー生成信号の中から、2 ビットの信号を入力し、入力した 2 ビットの信号の論理積、反転論理積、論理和または反転論理和を出力する、1 つまたは複数の第 1 の論理ゲートと、

上記第 1 の論理式における上記グループ項、上記共通項、および上記非共通項の演算結果に相当する信号、ならびに、上記入力キャリー生成信号、上記入力キャリー伝播信号、および上記第 1 の論理ゲートの出力信号の中から、3 ビットの信号を入力し、当該入力信号のうちの 2 ビットの信号の論理積と他の 1 ビットの信号との論理和もしくは反転論理和に相当する信号、または、当該入力信号のうちの 2 ビットの信号の論理和と他の 1 ビットの信号との論理積もしくは反転論理

積に相当する信号を、上記グループ項、上記非共通項、または上記出力キャリー生成信号の演算結果もしくはその論理反転に相当する信号として出力する、1つまたは複数の第2の論理ゲートとを含む。

【0061】

【発明の実施の形態】

<第1の実施形態>

本発明の第1の実施形態に係る、4ビットのCLA回路について述べる。

4ビットのCLA回路は、4ビットのキャリー伝播信号 (p_0, \dots, p_3) と4ビットのキャリー生成信号 (g_0, \dots, g_3) とを入力し、これらの入力信号に応じた1ビットのキャリー伝播信号Pおよび1ビットのキャリー生成信号Gを出力する。

ただし、4ビットのキャリー伝播信号の最下位桁(第1桁)、 \dots 、最上位桁(第4桁)は、それぞれ、キャリー伝播信号 p_0, \dots, p_3 に対応する。また、4ビットのキャリー生成信号の最下位桁(第1桁)、 \dots 、最上位桁(第4桁)は、それぞれ、キャリー生成信号 g_0, \dots, g_3 に対応する。

【0062】

キャリー伝播信号 (p_0, \dots, p_3) およびキャリー生成信号 (g_0, \dots, g_3) を用いて、キャリー伝播信号Pおよびキャリー生成信号Gは次式のように表される。

【0063】

【数12】

$$G = p_3' p_2' p_1' g_0 + p_3' p_2' g_1 + p_3' g_2 + g_3 \quad \dots (14)$$

$$P = p_3' p_2' p_1' p_0 \quad \dots (15)$$

【0064】

入力キャリー伝播信号の第4桁から第2桁までの各桁と入力キャリー生成信号の第1桁との論理積を第1の論理演算項とすると、この第1の論理演算項は、式(14)における右辺第1項 ($p_3 \cdot p_2 \cdot p_1 \cdot g_0$) に相当する。

入力キャリー伝播信号の第4桁から第3桁までの各桁と入力キャリー生成信号

の第2桁との論理積を第2の論理演算項とすると、この第2の論理演算項は、式(14)における右辺第2項($p_3 \cdot p_2 \cdot g_1$)に相当する。

入力キャリー伝播信号の第4桁と入力キャリー生成信号の第3桁との論理積を第3の論理演算項とすると、この第3の論理演算項は、式(14)における右辺第3項($p_3 \cdot g_2$)に相当する。

入力キャリー生成信号の第4桁を第4の論理演算項とすると、この第4の論理演算項は、式(14)における右辺第4項(g_3)に相当する。

したがって、4ビットのCLA回路から出力されるキャリー生成信号Gは、上述した4つの項(第1の論理演算項～第4の論理演算項)を論理和演算した結果として与えられる。

【0065】

ここで、上述した式(14)に対し、以下に述べる変形を施す。

式(14)は、第1の論理演算項から第4の論理演算項までの各項が番号順に並んだ4項の論理和演算式である。まずこの式(14)に対して、第1の論理演算項側または第4の論理演算項側から順番に、すなわち式の左側または右側から順番に、隣接する2項の論理和を1つのグループ項にグループ化する。そして、このグループ化した2項に共通項が存在する場合は、そのグループ項における2項の論理和を、共通項と非共通項との論理積に変形する。

このグループ化と変形を施した後の論理和演算式は、次式のようにになる。

【0066】

【数13】

$$G = (p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1) + (p_3 \cdot g_2 + g_3) \quad \dots (16)$$

【0067】

式(16)において、右辺第1項および第2項は、それぞれ上述したグループ項である。このうち右辺第1項は、共通項($p_3 \cdot p_2$)と非共通項($p_1 \cdot g_0 + g_1$)との論理積に変形されている。

【0068】

次に、グループ化後の論理和演算式におけるグループ項の数が2より大きい場

合は、このグループ化後の論理和演算式において第1の論理演算項～第4の論理演算項の番号順に応じた順序で並ぶグループ項に対し、上述したグループ化および変形が更に反復される。式(16)の論理和演算式はグループ項数が2であるため、この場合、更なるグループ化および変形は実行されない。

【0069】

こうして得られた式(16)の構造を調べると、キャリー生成信号Gの生成回路は、2種類のゲートを用いて構成可能であることが分かる。すなわち、2ビットの入力信号の論理積に相当する信号を出力するゲート(第1の論理ゲート)と、3ビットの入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和に相当する信号を出力するゲート(第2の論理ゲート)とを用いて、式(16)に示すキャリー生成信号Gの生成回路を構成することができる。

また、式(15)に示すキャリー伝播信号Pの生成回路は、上述した第1の論理ゲートを複数用いて構成することができる。

したがって、4ビットCLA回路は、この第1の論理ゲートと第2の論理ゲートとを用いて構成することができる。

【0070】

図1は、本発明の第1の実施形態に係る4ビットCLA回路の構成の一例を示す回路図である。

図1に示す4ビットCLA回路は、NANDゲート101および102と、NORゲート103と、AND-NOR型複合ゲート201および202と、OR-NAND型複合ゲート251とを有する。

NANDゲート101および102、ならびにNORゲート103は、本発明の第1の論理ゲートの一実施形態である。

AND-NOR型複合ゲート201および202、ならびにOR-NAND型複合ゲート251は、本発明の第2の論理ゲートの一実施形態である。

【0071】

NANDゲート101は、キャリー伝播信号 p_0 および p_1 を入力し、その反転論理積を出力する。

NANDゲート102は、キャリー伝播信号 p_2 および p_3 を入力し、その反転

論理積を出力する。この出力信号は、式(16)における共通項($p_3 \cdot p_2$)の演算結果を論理反転した信号に相当する。

【0072】

NORゲート103は、NANDゲート101および102の出力信号の反転論理和を出力する。この出力信号は、式(15)に示すキャリー伝播信号Pの演算結果に相当する。

なお、2信号の反転論理和は、それぞれの信号を論理反転させてから論理積演算した結果と等価である。図1の例では、理解を容易にするために、NORゲートの記号をこれと等価なANDゲートの記号に置き換えて表記している。

【0073】

AND-NOR型複合ゲート201は、キャリー生成信号 g_0 、 g_1 、およびキャリー伝播信号 p_1 を入力し、キャリー伝播信号 p_1 とキャリー生成信号 g_0 との論理積とキャリー生成信号 g_1 との反転論理和を出力する。この出力信号は、式(16)における非共通項($p_1 \cdot g_0 + g_1$)の演算結果を論理反転した信号に相当する。

【0074】

AND-NOR型複合ゲート202は、キャリー生成信号 g_2 、 g_3 、およびキャリー伝播信号 p_3 を入力し、キャリー伝播信号 p_3 とキャリー生成信号 g_2 との論理積とキャリー生成信号 g_3 との反転論理和を出力する。この出力信号は、式(16)におけるグループ項($p_3 \cdot g_2 + g_3$)の演算結果を論理反転した信号に相当する。

【0075】

OR-NAND型複合ゲート251は、NANDゲート102およびAND-NOR型複合ゲート201の出力信号の論理和と、AND-NOR型複合ゲート202の出力信号との反転論理積を出力する。この出力信号は、式(16)に示すキャリー生成信号Gの演算結果に相当する。

なお、2信号の論理和と1信号との論理積は、2信号のそれぞれを論理反転させてから論理積演算した結果と、1信号を論理反転した結果との論理和に等しい。図1の例では、理解を容易にするために、OR-NAND型複合ゲートの記号

をこれと等価な AND-OR ゲートの記号に置き換えて表記している。

【 0 0 7 6 】

ここで、AND-NOR 型複合ゲートおよび OR-NAND 型複合ゲートのより詳細な回路構成の例について、図 2 および図 3 に示す回路図を参照して説明する。

【 0 0 7 7 】

図 2 (B) に示す AND-NOR 型複合ゲートは、n 型 MOS トランジスタ $Q_{n10} \sim Q_{n12}$ と、p 型 MOS トランジスタ $Q_{p10} \sim Q_{p12}$ とを有する。

n 型 MOS トランジスタ Q_{n10} および Q_{n11} は、出力端子 Y と接地ライン G との間に直列に接続されており、この直列回路と n 型 MOS トランジスタ Q_{n12} とが並列に接続される。

p 型 MOS トランジスタ Q_{p10} および Q_{p11} は並列に接続されており、この並列回路と p 型 MOS トランジスタ Q_{p12} とが、出力端子 Y と電源ライン V_{cc} との間に直列に接続される。

【 0 0 7 8 】

n 型 MOS トランジスタ Q_{n10} および p 型 MOS トランジスタ Q_{p10} のゲートは、入力端子 A に接続される。

n 型 MOS トランジスタ Q_{n11} および p 型 MOS トランジスタ Q_{p11} のゲートは、入力端子 B に接続される。

n 型 MOS トランジスタ Q_{n12} および p 型 MOS トランジスタ Q_{p12} のゲートは、入力端子 C に接続される。

【 0 0 7 9 】

入力端子 C がハイレベルの場合、n 型 MOS トランジスタ Q_{n12} がオンし、p 型 MOS トランジスタ Q_{p12} がオフするため、出力端子 Y はローレベルになる。

また、入力端子 A および入力端子 B がハイレベルの場合、n 型 MOS トランジスタ Q_{n10} および Q_{n11} がオンし、p 型 MOS トランジスタ Q_{p10} および Q_{p11} がオフするため、出力端子 Y はローレベルになる。

入力端子 C がローレベル、かつ、入力端子 A および B の一方または両方がロー

レベルの場合、 n 型MOSトランジスタ Q_{n12} がオフし、 n 型MOSトランジスタ Q_{n10} および Q_{n11} の一方または両方がオフするため、出力端子Yと接地ラインGとの接続が遮断される。また、 p 型MOSトランジスタ Q_{p12} がオンし、 p 型MOSトランジスタ Q_{p10} および Q_{p11} の一方または両方がオンするため、出力端子Yと電源ラインVccとが接続される。したがって、出力端子Yはハイレベルになる。

以上の動作から、入力端子AおよびBの入力信号の論理積と入力端子Cの入力信号との反転論理和に相当する信号が、出力端子Yから出力される。

【0080】

図2（C）に示すAND-NOR型複合ゲートは、図2（B）と同一の構成を有しており、両者の違いは、 p 型MOSトランジスタ Q_{p10} および Q_{p11} の並列回路と p 型MOSトランジスタ Q_{p12} との接続関係にある。

すなわち、図2（C）に示す回路では、 p 型MOSトランジスタ Q_{p10} および Q_{p11} の並列回路が出力端子Yに接続され、 p 型MOSトランジスタ Q_{p12} が電源ラインVccに接続されているが、図2（B）に示す回路ではその逆に接続されている。これらの違いがあるものの、電源ラインVcc－出力端子Y間の導通／非導通に係わる動作について両者は等しいので、図2（C）に示す回路においても、図2（B）に示す回路と同等な機能が実現される。

【0081】

図3（B）に示すOR-NAND型複合ゲートは、 n 型MOSトランジスタ $Q_{n13} \sim Q_{n15}$ と、 p 型MOSトランジスタ $Q_{p13} \sim Q_{p15}$ とを有する。

n 型MOSトランジスタ Q_{n13} および Q_{n14} は並列に接続され、この並列回路と n 型MOSトランジスタ Q_{n15} とが、出力端子Yと接地ラインGとの間に直列に接続される。

p 型MOSトランジスタ Q_{p13} および Q_{p14} は、出力端子Yと電源ラインVccとの間に直列に接続され、この直列回路と p 型MOSトランジスタ Q_{p15} とが並列に接続される。

【0082】

n 型MOSトランジスタ Q_{n13} および p 型MOSトランジスタ Q_{p13} のゲ

ートは、入力端子Aに接続される。

n型MOSトランジスタQ n 1 4およびp型MOSトランジスタQ p 1 4のゲートは、入力端子Bに接続される。

n型MOSトランジスタQ n 1 5およびp型MOSトランジスタQ p 1 5のゲートは、入力端子Cに接続される。

【0083】

入力端子Cがローレベルの場合、p型MOSトランジスタQ p 1 5がオンし、n型MOSトランジスタQ n 1 5がオフするため、出力端子Yはハイレベルになる。

また、入力端子Aおよび入力端子Bがともにローレベルの場合、p型MOSトランジスタQ p 1 3およびQ p 1 4がオンし、n型MOSトランジスタQ n 1 3およびQ n 1 4がオフするため、出力端子Yはハイレベルになる。

入力端子Cがハイレベル、かつ、入力端子AおよびBの一方または両方がハイレベルの場合、n型MOSトランジスタQ n 1 5がオンし、n型MOSトランジスタQ n 1 3およびQ n 1 4の一方または両方がオンするため、出力端子Yと接地ラインGとが接続される。また、p型MOSトランジスタQ p 1 5がオフし、p型MOSトランジスタQ p 1 3およびQ p 1 4の一方または両方がオフするため、出力端子Yと電源ラインV c cとの接続が遮断される。したがって、出力端子Yはローレベルになる。

以上の動作から、入力端子AおよびBの入力信号の論理和と入力端子Cの入力信号との反転論理積に相当する信号が、出力端子Yから出力される。

【0084】

図3 (C) に示すOR-NAND型複合ゲートは、図3 (B) と同一の構成を有しており、両者の違いは、n型MOSトランジスタQ n 1 3およびQ n 1 4の並列回路とn型MOSトランジスタQ n 1 5との接続関係にある。

すなわち、図3 (C) に示す回路では、n型MOSトランジスタQ n 1 3およびQ n 1 4の並列回路が出力端子Yに接続され、n型MOSトランジスタQ n 1 5が接地ラインGに接続されているが、図3 (B) に示す回路ではその逆に接続されている。これらの違いがあるものの、接地ラインGー出力端子Y間の導通／

非導通に係わる動作について両者は等しいので、図3（C）に示す回路においても、図3（B）に示す回路と同等な機能が実現される。

【0085】

以上説明したように、図1に示す4ビットCLA回路では、2種類の論理ゲート（第1の論理ゲート、第2の論理ゲート）を用いて、式（14）に示すキャリ－生成信号Gおよび式（15）に示すキャリ－伝播信号Pを出力する回路が構成される。

すなわち、第1の論理ゲートとして、NANDゲート101、102、およびNORゲート103が用いられ、第2の論理ゲートとして、AND-NOR型複合ゲート201、202、およびOR-NAND型複合ゲート251が用いられる。

この第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートによって実現される。こうした複合ゲートを用いると、出力端子Yと電源ラインVccとの間に挿入されるトランジスタの直列段数や、出力端子Yと接地ラインGとの間に挿入されるトランジスタの直列段数が、最大でも2段となる。これは、通常の論理回路で多用される2入力NANDゲートや2入力NORゲートと同じ段数である。

【0086】

したがって、図1に示す4ビットCLA回路によれば、図20に示す多入力のゲートや図21に示す複合ゲートのように、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる多入力の論理ゲートを使用することなく、CLA回路を実現できる。

これにより、同一の動作速度で比較した場合に、トランジスタのサイズを小さくすることができ、回路面積の縮小と消費電力の低減を図ることができる。加えて、トランジスタサイズが小さくなることによりゲート容量が小さくなるので、CLA回路を駆動する前段回路における消費電力の低減と回路面積の縮小が可能になり、結果として、回路全体の一層の小型化と低消費電力化を図ることができる。

また、トランジスタサイズを同一にして比較した場合には、動作速度をさらに

高速化することが可能になる。

【0087】

／シミュレーションによる比較／

図20および図1に示す2つのCLA回路の性能を、電子回路シミュレーションにより評価した。

【0088】

(キャリア生成信号Gの遅延)

各信号 ($p_1 \sim p_3$, $g_0 \sim g_3$) の入力時点からキャリア生成信号Gの出力時点までの遅延時間は、図20に示すCLA回路において 0.234 ns 、図1に示すCLA回路において 0.229 ns となった。すなわち、キャリア生成信号Gの遅延は両回路においてほぼ同等となった。

【0089】

(キャリア伝播信号Pの遅延)

各信号 ($p_0 \sim p_3$) の入力時点からキャリア伝播信号Pの出力時点までの遅延時間は、図20に示すCLA回路において 0.174 ns 、図1に示すCLA回路において 0.202 ns となった。すなわち、キャリア伝播信号Pの伝播に関して、図1に示す回路は図20に示す従来回路に比べて若干の速度低下が認められた。ただし、キャリア伝播信号Pの伝播経路は一般にクリティカル・パスではないため、加算回路全体における動作速度には影響しないものと考えられる。

【0090】

(トランジスタ幅の合計)

回路に使用されているトランジスタの幅の合計を算出した。その結果、図20に示すCLA回路では $74.5 \mu\text{m}$ 、図1に示すCLA回路では $39.3 \mu\text{m}$ となった。すなわち、図1に示す回路のトランジスタ幅の合計は図20に示す従来回路に比べて約半分に削減された。

これは、図20に示す従来回路において、4入力NANDゲートなど、大きなサイズのトランジスタを必要とする多入力論理ゲートが多数使用されているのに対し、図1に示す回路では、何れの論理ゲートも、出力端子と電源ラインまたは接地ラインとの間に最大2段の直列トランジスタが挿入されるのみであり、直列

段数が3段以上になる多入力ゲートに比べてトランジスタ幅を小さくすることができるためである。

一般に、CMOS回路における回路面積および消費電力はトランジスタ幅に比例する傾向がある。このため、図1に示す回路によれば、図20に示す従来回路と同等の信号遅延を達成しながら、回路面積および消費電力を約半分に削減できることが予想される。

【0091】

(入力容量の合計)

CLA回路に対する入力容量の合計を算出した。その結果、図20に示すCLA回路では47 fF、図1に示すCLA回路では20 fFとなった。すなわち、図1に示す回路の入力容量の合計は、図20に示す従来回路と比較して42%まで削減された。

入力容量が削減されることにより、CLA回路を駆動する前段回路の駆動能力を小さくすることができるため、加算回路全体の小型化および低消費電力化が期待される。

【0092】

<第2の実施形態>

次に、本発明の第2の実施形態に係る、5ビットのCLA回路について述べる。

5ビットのCLA回路は、5ビットのキャリー伝播信号(p_0, \dots, p_4)と5ビットのキャリー生成信号(g_0, \dots, g_4)とを入力し、これらの入力信号に応じた1ビットのキャリー伝播信号Pおよび1ビットのキャリー生成信号Gを出力する。

ただし、5ビットのキャリー伝播信号の最下位桁(第1桁), ..., 最上位桁(第5桁)は、それぞれ、キャリー伝播信号 p_0, \dots, p_4 に対応する。また、5ビットのキャリー生成信号の最下位桁(第1桁), ..., 最上位桁(第5桁)は、それぞれ、キャリー生成信号 g_0, \dots, g_4 に対応する。

【0093】

キャリー伝播信号(p_0, \dots, p_4)およびキャリー生成信号(g_0, \dots, g_4)

を用いて、キャリー伝播信号Pおよびキャリー生成信号Gは次式のように表される。

【0094】

【数14】

$$G = p_4' p_3' p_2' p_1' g_0 + p_4' p_3' p_2' g_1 + p_4' p_3' g_2 + p_4' g_3 + g_4 \dots \quad (17)$$

$$P = p_4' p_3' p_2' p_1' p_0 \dots \quad (18)$$

【0095】

入力キャリー伝播信号の第5桁から第2桁までの各桁と入力キャリー生成信号の第1桁との論理積を第1の論理演算項とすると、この第1の論理演算項は、式(17)における右辺第1項($p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0$)に相当する。

入力キャリー伝播信号の第5桁から第3桁までの各桁と入力キャリー生成信号の第2桁との論理積を第2の論理演算項とすると、この第2の論理演算項は、式(17)における右辺第2項($p_4 \cdot p_3 \cdot p_2 \cdot g_1$)に相当する。

入力キャリー伝播信号の第5桁から第4桁までの各桁と入力キャリー生成信号の第3桁との論理積を第3の論理演算項とすると、この第3の論理演算項は、式(17)における右辺第3項($p_4 \cdot p_3 \cdot g_2$)に相当する。

入力キャリー伝播信号の第5桁と入力キャリー生成信号の第4桁との論理積を第4の論理演算項とすると、この第4の論理演算項は、式(17)における右辺第4項($p_4 \cdot g_3$)に相当する。

入力キャリー生成信号の第5桁を第5の論理演算項とすると、この第5の論理演算項は、式(17)における右辺第5項(g_4)に相当する。

したがって、5ビットのCLA回路から出力されるキャリー生成信号Gは、上述した5つの項(第1の論理演算項～第5の論理演算項)を論理和演算した結果として与えられる。

【0096】

ここで、上述した式(17)に対し、式(16)と同様な、以下に述べる変形を施す。

式(17)は、第1の論理演算項から第5の論理演算項までの各項が番号順に

並んだ5項の論理和演算式である。まずこの式(17)に対して、第1の論理演算項側または第5の論理演算項側から順番に、すなわち式の左側または右側から順番に、隣接する2項の論理和を1つのグループ項にグループ化する。そして、このグループ化した2項に共通項が存在する場合は、そのグループ項における2項の論理和を、共通項と非共通項との論理積に変形する。

式(17)の左側からグループ化と変形を施した後の論理和演算式は、次式のようにになる。

【0097】

【数15】

$$G = (p_4 \cdot p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1) + p_4 (p_3 \cdot g_2 + g_3) + g_4 \quad \dots (19)$$

【0098】

式(19)において、右辺第1項～第3項は、それぞれ上述したグループ項である。このうち右辺第1項は、共通項($p_4 \cdot p_3 \cdot p_2$)と非共通項($p_1 \cdot g_0 + g_1$)との論理積に変形されている。右辺第2項は、共通項(p_4)と非共通項($p_3 \cdot g_2 + g_3$)との論理積に変形されている。

なお、右辺第3項(g_4)は、式(17)のグループ化処理において余った項であるが、これも1つのグループ項として扱う。

【0099】

次に、グループ化後の論理和演算式におけるグループ項の数が2より大きい場合は、このグループ化後の論理和演算式において第1の論理演算項～第5の論理演算項の番号順に応じた順序で並ぶグループ項に対し、上述したグループ化および変形が更に反復される。式(19)の論理和演算式はグループ項数が3であるため、更なるグループ化および変形が実行される。

式(19)の左側からグループ化と変形を施すと、式(19)の論理和演算式は次式のようにになる。

【0100】

【数 16】

$$G = p_4 \{ (p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1) + (p_3 \cdot g_2 + g_3) \} + g_4 \quad \dots (20)$$

【0101】

式(20)においてグループ項数は2となるため、式(20)に対する更なるグループ化および変形は実行されない。

【0102】

こうして得られた式(20)の構造を調べると、キャリー生成信号Gの生成回路は、2種類のゲートを用いて構成可能であることが分かる。すなわち、上述した第1の論理ゲートおよび第2の論理ゲートを用いて、式(20)に示すキャリー生成信号Gの生成回路を構成することができる。

【0103】

ただし、第1の論理ゲートとしてNANDゲートやNORゲートを用いる場合や、第2の論理ゲートとしてAND-NOR型複合ゲートやOR-NAND型複合ゲートを用いる場合は、第1の論理ゲートおよび第2の論理ゲートに加えて、1ビット信号の論理反転を出力する第3の論理ゲート、すなわちインバータが必要になる。

【0104】

また、式(18)に示すキャリー伝播信号Pの生成回路については、上述した第1の論理ゲートを複数用いて構成することができる。

【0105】

したがって、5ビットCLA回路は、2種類のゲート（第1の論理ゲートおよび第2の論理ゲート）または3種類のゲート（第1の論理ゲート～第3の論理ゲート）を用いて構成することができる。

【0106】

図4は、本発明の第2の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

図4に示す5ビットCLA回路は、NANDゲート104、105および107と、NORゲート106と、AND-NOR型複合ゲート203～205と、

OR-NAND型複合ゲート252と、インバータ301および302とを有する。

NANDゲート104、105および107、ならびにNORゲート106は、本発明の第1の論理ゲートの一実施形態である。

AND-NOR型複合ゲート203~205、ならびにOR-NAND型複合ゲート252は、本発明の第2の論理ゲートの一実施形態である。

インバータ301および302は、本発明の第3の論理ゲートの一実施形態である。

【0107】

NANDゲート104は、キャリー伝播信号 p_0 および p_1 を入力し、その反転論理積を出力する。

NANDゲート105は、キャリー伝播信号 p_2 および p_3 を入力し、その反転論理積を出力する。この出力信号は、式(20)における2ビットのキャリー伝播信号の論理積($p_3 \cdot p_2$)の演算結果を論理反転した信号に相当する。

【0108】

NORゲート106は、NANDゲート104および105の出力信号の反転論理和を出力する。

NANDゲート107は、NORゲート106の出力信号とキャリー伝播信号 p_4 との反転論理積を出力する。

インバータ301は、NANDゲート107の出力信号を論理反転して出力する。この出力信号は、式(18)に示すキャリー伝播信号 P の演算結果に相当する。

【0109】

AND-NOR型複合ゲート203は、キャリー生成信号 g_0 、 g_1 、およびキャリー伝播信号 p_1 を入力し、キャリー伝播信号 p_1 とキャリー生成信号 g_0 との論理積とキャリー生成信号 g_1 との反転論理和を出力する。この出力信号は、式(20)における非共通項($p_1 \cdot g_0 + g_1$)の演算結果を論理反転した信号に相当する。

【0110】

AND-NOR型複合ゲート204は、キャリー生成信号 g_2 、 g_3 、およびキャリー伝播信号 p_3 を入力し、キャリー伝播信号 p_3 とキャリー生成信号 g_2 との論理積とキャリー生成信号 g_3 との反転論理和を出力する。この出力信号は、式(20)における非共通項($p_3 \cdot g_2 + g_3$)の演算結果を論理反転した信号に相当する。

【0111】

OR-NAND型複合ゲート252は、NANDゲート105およびAND-NOR型複合ゲート203の出力信号の論理和と、AND-NOR型複合ゲート204の出力信号との反転論理積を出力する。この出力信号は、式(20)における非共通項

$$\{ (p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1) + (p_3 \cdot g_2 + g_3) \}$$

の演算結果に相当する。

【0112】

AND-NOR型複合ゲート205は、OR-NAND型複合ゲート252の出力信号とキャリー伝播信号 p_4 との論理積と、キャリー生成信号 g_4 との反転論理和を出力する。

インバータ302は、AND-NOR型複合ゲート205の出力信号を論理反転して出力する。この出力信号は、式(20)に示すキャリー生成信号 G の演算結果に相当する。

【0113】

なお、図4に示すCLA回路において用いられるAND-NOR型複合ゲートおよびOR-NAND型複合ゲート(203~205、252)には、たとえば、図2または図3に示す回路を用いることができる。

【0114】

以上説明したように、図4に示す5ビットCLA回路では、3種類の論理ゲート(第1の論理ゲート~第3の論理ゲート)を用いて、式(17)に示すキャリー生成信号 G および式(18)に示すキャリー伝播信号 P を出力する回路が構成される。

すなわち、第1の論理ゲートとして、NANDゲート104、105、107

およびNORゲート106が用いられ、第2の論理ゲートとして、AND-NOR型複合ゲート203～205、およびOR-NAND型複合ゲート252が用いられ、第3の論理ゲートとして、インバータ301および302が用いられる。

第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートによって実現される。

【0115】

したがって、図4に示す5ビットCLA回路によれば、図1に示すCLA回路と同様に、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる多入力ゲートを使用することなく、CLA回路を実現できる。

このため、図1に示すCLA回路と同様の効果を奏することができる。すなわち、同一の動作速度で比較した場合、回路の小面積化と低消費電力化を図ることができる。また、同一の回路面積で比較した場合には、動作速度の高速化を図ることができる。

【0116】

<第3の実施形態>

次に、本発明の第3の実施形態に係る、5ビットのCLA回路について述べる。

上述した式(20)は、式(19)における3つのグループ項、

$$\begin{aligned} & (p_4 \cdot p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1), \\ & p_4 \cdot (p_3 \cdot g_2 + g_3), \\ & g_4, \end{aligned}$$

を第1の論理演算項側、すなわち式(19)の左側からグループ化することによって得られた論理式である。

そこで、これとは逆に、式(19)の右側からグループ化と変形を実行すると、次の式が得られる。

【0117】

【数 17】

$$G = (p_4 \cdot p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1) + \{p_4(p_3 \cdot g_2 + g_3) + g_4\} \quad \dots (21)$$

【0118】

こうして得られた式(21)の構造を調べると、図4に示す回路とは異なる構造を有しながら、上述した2種類のゲート(第1の論理ゲートおよび第2の論理ゲート)または3種類のゲート(第1の論理ゲート～第3の論理ゲート)を用いて、5ビットCLA回路を構成できることが分かる。

【0119】

図5は、本発明の第3の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

図5に示す5ビットCLA回路は、NANDゲート108～110と、NORゲート111と、AND-NOR型複合ゲート206～208と、OR-NAND型複合ゲート253と、インバータ303および304とを有する。

NANDゲート108～110、ならびにNORゲート111は、本発明の第1の論理ゲートの一実施形態である。

AND-NOR型複合ゲート206～208、ならびにOR-NAND型複合ゲート253は、本発明の第2の論理ゲートの一実施形態である。

インバータ303および304は、本発明の第3の論理ゲートの一実施形態である。

【0120】

NANDゲート108は、キャリー伝播信号 p_0 および p_1 を入力し、その反転論理積を出力する。

NANDゲート109は、キャリー伝播信号 p_2 および p_3 を入力し、その反転論理積を出力する。

インバータ303は、NANDゲート109の出力信号を論理反転して出力する。

NANDゲート110は、インバータ303の出力信号とキャリー伝播信号 p_4 との反転論理積を出力する。この出力信号は、式(21)における3ビットの

キャリー伝播信号の論理積 ($p_4 \cdot p_3 \cdot p_2$) を論理反転した演算結果に相当する。

NORゲート111は、NANDゲート108およびNANDゲート110の出力信号の反転論理和を出力する。この出力信号は、式(18)に示すキャリー伝播信号Pの演算結果に相当する。

【0121】

AND-NOR型複合ゲート206は、キャリー生成信号 g_0 、 g_1 、およびキャリー伝播信号 p_1 を入力し、キャリー伝播信号 p_1 とキャリー生成信号 g_0 との論理積とキャリー生成信号 g_1 との反転論理和を出力する。この出力信号は、式(21)における非共通項 ($p_1 \cdot g_0 + g_1$) の演算結果を論理反転した信号に相当する。

【0122】

AND-NOR型複合ゲート207は、キャリー生成信号 g_2 、 g_3 、およびキャリー伝播信号 p_3 を入力し、キャリー伝播信号 p_3 とキャリー生成信号 g_2 との論理積とキャリー生成信号 g_3 との反転論理和を出力する。

インバータ304は、AND-NOR型複合ゲート207の出力信号を論理反転して出力する。この出力信号は、式(21)における非共通項 ($p_3 \cdot g_2 + g_3$) の演算結果に相当する。

【0123】

AND-NOR型複合ゲート208は、インバータ304の出力信号とキャリー伝播信号 p_4 との論理積と、キャリー生成信号 g_4 との反転論理和を出力する。この出力信号は、式(21)におけるグループ項

$$\{p_4 \cdot (p_3 \cdot g_2 + g_3) + g_4\}$$

の演算結果を論理反転した信号に相当する。

【0124】

OR-NAND型複合ゲート253は、AND-NOR型複合ゲート206およびNANDゲート110の出力信号の論理積と、AND-NOR型複合ゲート208の出力信号との反転論理和を出力する。この出力信号は、式(21)に示すキャリー生成信号Gの演算結果に相当する。

【0125】

なお、図5に示すCLA回路において用いられるAND-NOR型複合ゲートおよびOR-NAND型複合ゲート（206～208、253）には、たとえば、図2または図3に示す回路を用いることができる。

【0126】

以上説明したように、図5に示す5ビットCLA回路においても、3種類の論理ゲート（第1の論理ゲート～第3の論理ゲート）を用いて、キャリー生成信号Gおよびキャリー伝播信号Pを出力する回路が構成される。

すなわち、第1の論理ゲートとして、NANDゲート108～110、およびNORゲート111が用いられ、第2の論理ゲートとして、AND-NOR型複合ゲート206～208、およびOR-NAND型複合ゲート253が用いられ、第3の論理ゲートとして、インバータ303および304が用いられる。

第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートによって実現される。

【0127】

したがって、図5に示す5ビットCLA回路においても、図1および図4に示すCLA回路と同様に、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる多入力ゲートを使用することなく、CLA回路を実現できる。

このため、図1および図4に示すCLA回路と同様に、回路の小面積化と低消費電力化を図ることができる。

【0128】

<第4の実施形態>

次に、本発明の第4の実施形態に係る、5ビットのCLA回路について述べる。

上述した式（19）は、式（17）における5つの項（第1の論理演算項～第5の論理演算項）、

$$p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0、$$

$$p_4 \cdot p_3 \cdot p_2 \cdot g_1、$$

$p_4 \cdot p_3 \cdot g_2$ 、

$p_4 \cdot g_3$ 、

g_4 、

を第1の論理演算項側、すなわち式(17)の左側からグループ化することによって得られた論理式である。

そこで、これとは逆に第5の論理演算項側、すなわち式(17)の右側からグループ化と変形を実行すると、次の式が得られる。

【0129】

【数18】

$$G = p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0 + (p_4 \cdot p_3) \cdot (p_2 \cdot g_1 + g_2) + (p_4 \cdot g_3 + g_4) \cdots (22)$$

【0130】

式(22)におけるグループ項の数は3であるので、グループ化と変形が更に実行される。

式(22)の右側からグループ化と変形を施すと、式(22)の論理式は次式のようになる。

【0131】

【数19】

$$G = p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0 + \{(p_4 \cdot p_3) \cdot (p_2 \cdot g_1 + g_2) + (p_4 \cdot g_3 + g_4)\} \cdots (23)$$

【0132】

こうして得られた式(23)の構造を調べると、上述した2種類のゲート(第1の論理ゲートおよび第2の論理ゲート)または3種類のゲート(第1の論理ゲート～第3の論理ゲート)を用いて、図4および図5に示す回路とは異なる構造を有した5ビットCLA回路を構成できることが分かる。

【0133】

図6は、本発明の第4の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

図5に示す5ビットCLA回路は、NANDゲート112、113および11

5と、NORゲート114と、AND-NOR型複合ゲート209～211と、OR-NAND型複合ゲート254と、インバータ305および306とを有する。

NANDゲート112、113および115、ならびにNORゲート114は、本発明の第1の論理ゲートの一実施形態である。

AND-NOR型複合ゲート209～211、ならびにOR-NAND型複合ゲート254は、本発明の第2の論理ゲートの一実施形態である。

インバータ305および306は、本発明の第3の論理ゲートの一実施形態である。

【0134】

NANDゲート112は、キャリー伝播信号 p_1 および p_2 を入力し、その反転論理積を出力する。

NANDゲート113は、キャリー伝播信号 p_3 および p_4 を入力し、その反転論理積を出力する。

NORゲート114は、NANDゲート112および113の出力信号の反転論理和を出力する。この出力信号は、式(23)における4ビットのキャリー伝播信号の論理積($p_4 \cdot p_3 \cdot p_2 \cdot p_1$)の論理積に相当する。

【0135】

NANDゲート115は、NORゲート114の出力信号とキャリー伝播信号 p_0 との反転論理積を出力する。

インバータ305は、NANDゲート115の出力信号を反転して出力する。この出力信号は、式(18)に示すキャリー伝播信号 P の演算結果に相当する。

【0136】

AND-NOR型複合ゲート209は、キャリー生成信号 g_1 、 g_2 、およびキャリー伝播信号 p_2 を入力し、キャリー伝播信号 p_2 とキャリー生成信号 g_1 との論理積とキャリー生成信号 g_2 との反転論理和を出力する。この出力信号は、式(23)における非共通項($p_2 \cdot g_1 + g_2$)の演算結果を論理反転した信号に相当する。

【0137】

AND-NOR型複合ゲート210は、キャリア生成信号 g_3 、 g_4 、およびキャリア伝播信号 p_4 を入力し、キャリア伝播信号 p_4 とキャリア生成信号 g_3 との論理積とキャリア生成信号 g_4 との反転論理和を出力する。この出力信号は、式(23)におけるグループ項($p_4 \cdot g_3 + g_4$)の演算結果を論理反転した信号に相当する。

【0138】

OR-NAND型複合ゲート254は、NANDゲート113およびAND-NOR型複合ゲート209の出力信号の論理和と、AND-NOR型複合ゲート210の出力信号との反転論理積を出力する。この出力信号は、式(23)におけるグループ項、

$$\{ (p_4 \cdot p_3) \cdot (p_2 \cdot g_1 + g_2) + (p_4 \cdot g_3 + g_4) \}$$

の演算結果に相当する。

【0139】

AND-NOR型複合ゲート211は、NANDゲート114の出力信号とキャリア生成信号 g_0 との論理積と、OR-NAND型複合ゲート254の出力信号との反転論理和を出力する。

インバータ306は、AND-NOR型複合ゲート211の出力信号を論理反転して出力する。この出力信号は、式(23)に示すキャリア生成信号 G の演算結果に相当する。

【0140】

なお、図6に示すCLA回路において用いられるAND-NOR型複合ゲートおよびOR-NAND型複合ゲート(209~211、254)には、たとえば、図2または図3に示す回路を用いることができる。

【0141】

以上説明したように、図6に示す5ビットCLA回路においても、3種類の論理ゲート(第1の論理ゲート~第3の論理ゲート)を用いて、キャリア生成信号 G およびキャリア伝播信号 P を出力する回路が構成される。

すなわち、第1の論理ゲートとして、NANDゲート112、113、115、およびNORゲート114が用いられ、第2の論理ゲートとして、AND-N

OR型複合ゲート209～211、およびOR-NAND型複合ゲート254が用いられ、第3の論理ゲートとして、インバータ305および306が用いられる。

第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートによって実現される。

【0142】

したがって、図6に示す5ビットCLA回路においても、図1、図4および図5に示すCLA回路と同様に、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる多入力ゲートを使用することなく、CLA回路を実現できる。

このため、図1、図4および図5に示すCLA回路と同様に、回路の小面積化と低消費電力化を図ることができる。

【0143】

<第5の実施形態>

次に、本発明の第5の実施形態に係る、5ビットのCLA回路について述べる。

上述した式(23)は、式(22)における3つのグループ項、

$$p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0、$$

$$p_4 \cdot p_3 \cdot (p_2 \cdot g_1 + g_2)、$$

$$(p_4 \cdot g_3 + g_4)$$

を第1の論理演算項側、すなわち式(22)の右側からグループ化することによって得られた論理式である。

そこで、これとは逆に第5の論理演算項側、すなわち式(22)の左側からグループ化すると、次の式が得られる。

【0144】

【数20】

$$G = (p_4 \cdot p_3) \{ p_2 \cdot p_1 \cdot g_0 + (p_2 \cdot g_1 + g_2) \} + (p_4 \cdot g_3 + g_4) \quad \dots (24)$$

【0145】

こうして得られた式(24)の構造を調べると、上述した2種類のゲート(第1の論理ゲートおよび第2の論理ゲート)または3種類のゲート(第1の論理ゲート～第3の論理ゲート)を用いて、図4～図6に示す回路とは異なる構造を有した、5ビットCLA回路を構成できることが分かる。

【0146】

図7は、本発明の第5の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

図7に示す5ビットCLA回路は、NANDゲート116、117および119と、NORゲート118と、AND-NOR型複合ゲート212～214と、OR-NAND型複合ゲート255と、インバータ307～311とを有する。

NANDゲート116、117および119、ならびにNORゲート118は、本発明の第1の論理ゲートの一実施形態である。

AND-NOR型複合ゲート212～214、ならびにOR-NAND型複合ゲート255は、本発明の第2の論理ゲートの一実施形態である。

インバータ307～311は、本発明の第3の論理ゲートの一実施形態である。

【0147】

NANDゲート116は、キャリー伝播信号 p_1 および p_2 を入力し、その反転論理積を出力する。この出力信号は、式(24)における2ビットのキャリー伝播信号の論理積($p_2 \cdot p_1$)の演算結果を論理反転した信号に相当する。

NANDゲート117は、キャリー伝播信号 p_3 および p_4 を入力し、その反転論理積を出力する。

インバータ308は、NANDゲート117の出力信号を論理反転して出力する。この出力信号は、式(24)における共通項($p_4 \cdot p_3$)の演算結果に相当する。

【0148】

NORゲート118は、NANDゲート116および117の出力信号の反転論理和を出力する。

NANDゲート119は、NORゲート118の出力信号とキャリー伝播信号

p_0 との反転論理積を出力する。

インバータ 310 は、NAND ゲート 119 の出力信号を反転して出力する。
この出力信号は、式 (18) に示すキャリー伝播信号 P の演算結果に相当する。

【0149】

AND-NOR 型複合ゲート 212 は、キャリー生成信号 g_1 、 g_2 、およびキャリー伝播信号 p_2 を入力し、キャリー伝播信号 p_2 とキャリー生成信号 g_1 との論理積とキャリー生成信号 g_2 との反転論理和を出力する。この出力信号は、式 (24) における非共通項 ($p_2 \cdot g_1 + g_2$) の演算結果を論理反転した信号に相当する。

【0150】

AND-NOR 型複合ゲート 213 は、キャリー生成信号 g_3 、 g_4 、およびキャリー伝播信号 p_4 を入力し、キャリー伝播信号 p_4 とキャリー生成信号 g_3 との論理積とキャリー生成信号 g_4 との反転論理和を出力する。

インバータ 309 は、AND-NOR 型複合ゲート 213 の出力信号を論理反転して出力する。この出力信号は、式 (24) におけるグループ項 ($p_4 \cdot g_3 + g_4$) の演算結果に相当する。

【0151】

インバータ 307 は、キャリー生成信号 g_0 を論理反転して出力する。

OR-NAND 型複合ゲート 255 は、NAND ゲート 116 およびインバータ 307 の出力信号の論理和と、AND-NOR 型複合ゲート 212 の出力信号との反転論理積を出力する。この出力信号は、式 (24) における非共通項、

$$\{p_2 \cdot p_1 \cdot g_0 + \cdot (p_2 \cdot g_1 + g_2)\}$$

の演算結果に相当する。

【0152】

AND-NOR 型複合ゲート 214 は、インバータ 308 および OR-NAND 型複合ゲート 255 の出力信号の論理積と、インバータ 309 の出力信号との反転論理和を出力する。

インバータ 311 は、AND-NOR 型複合ゲート 214 の出力信号を論理反転して出力する。この出力信号は、式 (24) に示すキャリー生成信号 G の演算

結果に相当する。

【0153】

なお、図7に示すCLA回路において用いられるAND-NOR型複合ゲートおよびOR-NAND型複合ゲート（212～214、255）には、たとえば、図2または図3に示す回路を用いることができる。

【0154】

以上説明したように、図7に示す5ビットCLA回路においても、3種類の論理ゲート（第1の論理ゲート～第3の論理ゲート）を用いて、キャリー生成信号Gおよびキャリー伝播信号Pを出力する回路が構成される。

すなわち、第1の論理ゲートとして、NANDゲート116、117、119、およびNORゲート118が用いられ、第2の論理ゲートとして、AND-NOR型複合ゲート212～214、およびOR-NAND型複合ゲート255が用いられ、第3の論理ゲートとして、インバータ307～311が用いられる。

第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートによって実現される。

【0155】

したがって、図7に示す5ビットCLA回路においても、図1および図4～図6に示すCLA回路と同様に、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる多入力ゲートを使用することなく、CLA回路を実現できる。

このため、図1および図4～図6に示すCLA回路と同様に、回路の小面積化と低消費電力化を図ることができる。

【0156】

<第6の実施形態>

次に、本発明の第6の実施形態に係る、6ビットのCLA回路について述べる。

6ビットのCLA回路は、6ビットのキャリー伝播信号（ p_0, \dots, p_5 ）と6ビットのキャリー生成信号（ g_0, \dots, g_6 ）とを入力し、これらの入力信号に応じた1ビットのキャリー伝播信号Pおよび1ビットのキャリー生成信号Gを出力

する。

ただし、6ビットのキャリー伝播信号の最下位桁（第1桁）、…、最上位桁（第6桁）は、それぞれ、キャリー伝播信号 p_0, \dots, p_5 に対応する。また、6ビットのキャリー生成信号の最下位桁（第1桁）、…、最上位桁（第6桁）は、それぞれ、キャリー生成信号 g_0, \dots, g_5 に対応する。

【0157】

キャリー伝播信号（ p_0, \dots, p_5 ）およびキャリー生成信号（ g_0, \dots, g_5 ）を用いて、キャリー伝播信号 P およびキャリー生成信号 G は次式のように表される。

【0158】

【数21】

$$G = p_5 \cdot p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0 + p_5 \cdot p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_1 + p_5 \cdot p_4 \cdot p_3 \cdot g_2 + p_5 \cdot p_4 \cdot g_3 + p_5 \cdot g_4 + g_5 \dots \quad (25)$$

$$P = p_5 \cdot p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot p_0 \quad \dots \quad (26)$$

【0159】

入力キャリー伝播信号の第6桁から第2桁までの各桁と入力キャリー生成信号の第1桁との論理積を第1の論理演算項とすると、この第1の論理演算項は、式（25）における右辺第1項（ $p_5 \cdot p_4 \cdot p_3 \cdot p_2 \cdot p_1 \cdot g_0$ ）に相当する。

入力キャリー伝播信号の第6桁から第3桁までの各桁と入力キャリー生成信号の第2桁との論理積を第2の論理演算項とすると、この第2の論理演算項は、式（25）における右辺第2項（ $p_5 \cdot p_4 \cdot p_3 \cdot p_2 \cdot g_1$ ）に相当する。

入力キャリー伝播信号の第6桁から第4桁までの各桁と入力キャリー生成信号の第3桁との論理積を第3の論理演算項とすると、この第3の論理演算項は、式（25）における右辺第3項（ $p_5 \cdot p_4 \cdot p_3 \cdot g_2$ ）に相当する。

入力キャリー伝播信号の第6桁から第5桁までの各桁と入力キャリー生成信号の第4桁との論理積を第4の論理演算項とすると、この第4の論理演算項は、式（17）における右辺第4項（ $p_5 \cdot p_4 \cdot g_3$ ）に相当する。

入力キャリー伝播信号の第6桁と入力キャリー生成信号の第5桁との論理積を第5の論理演算項とすると、この第5の論理演算項は、式（25）における右辺第5項（ $p_5 \cdot g_4$ ）に相当する。

入力キャリー生成信号の第6桁を第6の論理演算項とすると、この第6の論理演算項は、式(25)における右辺第5項(g_5)に相当する。

したがって、6ビットのCLA回路から出力されるキャリー生成信号Gは、上述した6つの項(第1の論理演算項～第6の論理演算項)を論理和演算した結果として与えられる。

【0160】

ここで、上述した式(25)に対し、式(16)、(19)および(22)と同様な、以下に述べる変形を施す。

式(25)は、第1の論理演算項から第6の論理演算項までの各項が番号順に並んだ6項の論理和演算式である。まずこの式(25)に対して、第1の論理演算項側または第6の論理演算項側から順番に、すなわち式の左側または右側から順番に、隣接する2項の論理和を1つのグループ項にグループ化する。そして、このグループ化した2項に共通項が存在する場合は、そのグループ項における2項の論理和を、共通項と非共通項との論理積に変形する。

式(25)の左側または右側からグループ化と変形を施すと、式(25)の論理和演算式は次式のようにになる。

【0161】

【数22】

$$G = (p_5 \cdot p_4 \cdot p_3 \cdot p_2)(p_1 \cdot g_0 + g_1) + (p_5 \cdot p_4)(p_3 \cdot g_2 + g_3) + (p_5 \cdot g_4 + g_5) \cdots (27)$$

【0162】

式(27)において、右辺第1項～第3項はそれぞれグループ項である。

このうち、右辺第1項は、共通項($p_5 \cdot p_4 \cdot p_3 \cdot p_2$)と非共通項($p_1 \cdot g_0 + g_1$)との論理積に変形されている。右辺第2項は、共通項($p_5 \cdot p_4$)と非共通項($p_3 \cdot g_2 + g_3$)との論理積に変形されている。

【0163】

式(27)におけるグループ項の数は3であるので、グループ化と変形が更に実行される。

式(27)の左からグループ化および変形を更に施すと、式(27)は次式のようにになる。

【0164】

【数23】

$$G = (p_5 \cdot p_4) \{ (p_3 \cdot p_2) (p_1 \cdot g_0 + g_1) + (p_3 \cdot g_2 + g_3) \} + (p_5 \cdot g_4 + g_5) \quad \dots (28)$$

【0165】

式(28)におけるグループ項の数は2であるので、式(28)に対する更なるグループ化および変形は実行されない。

【0166】

こうして得られた式(28)の構造を調べると、キャリー生成信号Gの生成回路は、既に述べた2種類のゲート(第1の論理ゲート、第2の論理ゲート)または3種類のゲート(第1の論理ゲート～第3の論理ゲート)を用いて構成可能であることが分かる。

また、式(26)に示すキャリー伝播信号Pの生成回路については、上述した第1の論理ゲートを複数用いて構成することができる。

したがって、6ビットCLA回路についても、2種類のゲート(第1の論理ゲート、第2の論理ゲート)または3種類のゲート(第1の論理ゲート～第3の論理ゲート)を用いて構成することができる。

【0167】

図8は、本発明の第6の実施形態に係る6ビットCLA回路の構成の一例を示す回路図である。

図8に示す6ビットCLA回路は、NANDゲート120～122および124と、NORゲート123と、AND-NOR型複合ゲート215～217と、OR-NAND型複合ゲート256および257と、インバータ312～317とを有する。

NANDゲート120～122および124、ならびにNORゲート123は、本発明の第1の論理ゲートの一実施形態である。

AND-NOR型複合ゲート215～217、ならびにOR-NAND型複合ゲート256および257は、本発明の第2の論理ゲートの一実施形態である。

インバータ312～317は、本発明の第3の論理ゲートの一実施形態である。

。

【0168】

NANDゲート120は、キャリア伝播信号 p_0 および p_1 を入力し、その反転論理積を出力する。

NANDゲート121は、キャリア伝播信号 p_2 および p_3 を入力し、その反転論理積を出力する。この出力信号は、式(28)における2ビットのキャリア伝播信号の論理積 ($p_3 \cdot p_2$) の演算結果を論理反転した信号に相当する。

【0169】

NANDゲート122は、キャリア伝播信号 p_4 および p_5 の反転論理積を出力する。

インバータ315は、NANDゲート122の出力信号を論理反転して出力する。この出力信号は、式(28)における共通項 ($p_5 \cdot p_4$) の演算結果に相当する。

【0170】

NORゲート123は、NANDゲート120および121の出力信号の反転論理和を出力する。

NANDゲート124は、NORゲート123およびインバータ315の出力信号の反転論理積を出力する。

インバータ316は、NANDゲート124の出力信号を論理反転して出力する。この出力信号は、式(26)に示すキャリア伝播信号 P の演算結果に相当する。

【0171】

AND-NOR型複合ゲート215は、キャリア生成信号 g_0 、 g_1 、およびキャリア伝播信号 p_1 を入力し、キャリア伝播信号 p_1 とキャリア生成信号 g_0 との論理積とキャリア生成信号 g_1 との反転論理和を出力する。この出力信号は、式(28)における非共通項 ($p_1 \cdot g_0 + g_1$) の演算結果を論理反転した信号に相当する。

【0172】

AND-NOR型複合ゲート216は、キャリア生成信号 g_2 、 g_3 、およびキ

キャリア伝播信号 p_3 を入力し、キャリア伝播信号 p_3 とキャリア生成信号 g_2 との論理積とキャリア生成信号 g_3 との反転論理和を出力する。この出力信号は、式 (28) における非共通項 ($p_3 \cdot g_2 + g_3$) の演算結果を論理反転した信号に相当する。

【0173】

インバータ 312、313、314 は、それぞれ、キャリア生成信号 g_4 、キャリア伝播信号 p_5 、キャリア生成信号 g_5 を入力し、その論理反転を出力する。

OR-NAND 型複合ゲート 257 は、インバータ 312 および 313 の出力信号の論理和と、インバータ 314 の出力信号との反転論理積を出力する。この出力信号は、式 (28) におけるグループ項 ($p_5 \cdot g_4 + g_5$) の演算結果に相当する。

【0174】

OR-NAND 型複合ゲート 256 は、AND-NOR 型複合ゲート 215 および NAND ゲート 121 の出力信号の論理和と、AND-NOR 型複合ゲート 216 の出力信号との反転論理積を出力する。この出力信号は、式 (28) における非共通項、

$$\{ (p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1) + (p_3 \cdot g_2 + g_3) \}$$

の演算結果に相当する。

【0175】

AND-NOR 型複合ゲート 217 は、OR-NAND 型複合ゲート 256 およびインバータ 315 の出力信号の論理積と、OR-NAND 型複合ゲート 257 の出力信号との反転論理和を出力する。

インバータ 317 は、AND-NOR 型複合ゲート 217 の出力信号を論理反転して出力する。この出力信号は、式 (28) に示すキャリア生成信号 G の演算結果に相当する。

【0176】

なお、図 8 に示す CLA 回路において用いられる AND-NOR 型複合ゲートおよび OR-NAND 型複合ゲート (215~217、256、257) には、たとえば、図 2 または図 3 に示す回路を用いることができる。

【0177】

以上説明したように、図8に示す6ビットCLA回路では、3種類の論理ゲート（第1の論理ゲート～第3の論理ゲート）を用いて、式（25）に示すキャリ－生成信号Gおよび式（26）に示すキャリ－伝播信号Pを出力する回路が構成される。

すなわち、第1の論理ゲートとして、NANDゲート120～122、124およびNORゲート123が用いられ、第2の論理ゲートとして、AND-NOR型複合ゲート215～217、OR-NAND型複合ゲート256および257が用いられ、第3の論理ゲートとして、インバータ312～317が用いられる。

第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートによって実現される。

【0178】

したがって、図8に示す6ビットCLA回路においても、図1、図4～図7に示すCLA回路と同様に、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる多入力ゲートを使用することなく、CLA回路を実現できる。

このため、図1、図4～図7に示すCLA回路と同様に、回路の小面積化と低消費電力化を図ることができる。

【0179】

＜第7の実施形態＞

次に、本発明の第7の実施形態に係る、6ビットのCLA回路について述べる。

上述した式（28）は、式（27）における3つのグループ項、

$$(p_5 \cdot p_4 \cdot p_3 \cdot p_2) \cdot (p_1 \cdot g_0 + g_1) 、$$

$$(p_5 \cdot p_4) \cdot (p_3 \cdot g_2 + g_3) 、$$

$$(p_5 \cdot g_4 + g_5) 、$$

を第1の論理演算項側、すなわち式（27）の左側からグループ化することによって得られた論理式である。

そこで、これとは逆に第6の論理演算項側、すなわち式(27)の右側からグループ化と変形を実行すると、次の式が得られる。

【0180】

【数24】

$$G = (p_5 \cdot p_4 \cdot p_3 \cdot p_2)(p_1 \cdot g_0 + g_1) + \{(p_5 \cdot p_4) \cdot (p_3 \cdot g_2 + g_3) + (p_5 \cdot g_4 + g_5)\} \dots \quad (29)$$

【0181】

こうして得られた式(29)の構造を調べると、上述した2種類のゲート(第1の論理ゲートおよび第2の論理ゲート)または3種類のゲート(第1の論理ゲート～第3の論理ゲート)を用いて、図8に示す回路とは異なる構造を有した、6ビットCLA回路を構成できることが分かる。

【0182】

図9は、本発明の第7の実施形態に係る6ビットCLA回路の構成の一例を示す回路図である。

図9に示す6ビットCLA回路は、NANDゲート125～127と、NORゲート128および129と、AND-NOR型複合ゲート218～221と、OR-NAND型複合ゲート258と、インバータ318～320とを有する。

NANDゲート125～127、ならびにNORゲート128および129は、本発明の第1の論理ゲートの一実施形態である。

AND-NOR型複合ゲート218～221、ならびにOR-NAND型複合ゲート258は、本発明の第2の論理ゲートの一実施形態である。

インバータ318～320は、本発明の第3の論理ゲートの一実施形態である。

【0183】

NANDゲート125は、キャリー伝播信号 p_0 および p_1 を入力し、その反転論理積を出力する。

NANDゲート126は、キャリー伝播信号 p_2 および p_3 を入力し、その反転論理積を出力する。

NANDゲート127は、キャリー伝播信号 p_4 および p_5 を入力し、その反転論理積を出力する。

NORゲート128は、NANDゲート126および127の出力信号の反転論理和を出力する。この出力信号は、式(29)における4ビットのキャリー伝播信号の論理積($p_5 \cdot p_4 \cdot p_3 \cdot p_2$)の演算結果に相当する。

【0184】

インバータ319は、NORゲート128の出力信号を論理反転して出力する。

NORゲート129は、NANDゲート125およびインバータ319の出力信号の反転論理和を出力する。この出力信号は、式(26)に示すキャリー伝播信号Pの演算結果に相当する。

【0185】

AND-NOR型複合ゲート218は、キャリー生成信号 g_0 、 g_1 、およびキャリー伝播信号 p_1 を入力し、キャリー伝播信号 p_1 とキャリー生成信号 g_0 との論理積とキャリー生成信号 g_1 との反転論理和を出力する。

インバータ318は、AND-NOR型複合ゲート218の出力信号を論理反転して出力する。この出力信号は、式(29)における非共通項($p_1 \cdot g_0 + g_1$)の演算結果に相当する。

【0186】

AND-NOR型複合ゲート219は、キャリー生成信号 g_2 、 g_3 、およびキャリー伝播信号 p_3 を入力し、キャリー伝播信号 p_3 とキャリー生成信号 g_2 との論理積とキャリー生成信号 g_3 との反転論理和を出力する。この出力信号は、式(29)における非共通項($p_3 \cdot g_2 + g_3$)の演算結果を論理反転した信号に相当する。

【0187】

AND-NOR型複合ゲート220は、キャリー生成信号 g_4 、 g_5 、およびキャリー伝播信号 p_5 を入力し、キャリー伝播信号 p_5 とキャリー生成信号 g_4 との論理積とキャリー生成信号 g_5 との反転論理和を出力する。この出力信号は、式(29)におけるグループ項($p_5 \cdot g_4 + g_5$)の演算結果を論理反転した信号に相当する。

【0188】

OR-NAND型複合ゲート258は、AND-NOR型複合ゲート219およびNANDゲート127の出力信号の論理和と、AND-NOR型複合ゲート220の出力信号との反転論理積を出力する。この出力信号は、式(29)におけるグループ項、

$$\{ (p_5 \cdot p_4) \cdot (p_3 \cdot g_2 + g_3) + (p_5 \cdot g_4 + g_5) \}$$

の演算結果に相当する。

【0189】

AND-NOR型複合ゲート221は、NORゲート128およびインバータ318の出力信号の論理積と、OR-NAND型複合ゲート258の出力信号との反転論理和を出力する。

インバータ320は、AND-NOR型複合ゲート221の出力信号を論理反転して出力する。この出力信号は、式(29)に示すキャリー生成信号Gの演算結果に相当する。

【0190】

なお、図9に示すCLA回路において用いられるAND-NOR型複合ゲートおよびOR-NAND型複合ゲート(218~221、258)には、たとえば、図2または図3に示す回路を用いることができる。

【0191】

以上説明したように、図9に示す6ビットCLA回路では、3種類の論理ゲート(第1の論理ゲート~第3の論理ゲート)を用いて、式(25)に示すキャリー生成信号Gおよび式(26)に示すキャリー伝播信号Pを出力する回路が構成される。

すなわち、第1の論理ゲートとして、NANDゲート125~127、NORゲート128および129が用いられ、第2の論理ゲートとして、AND-NOR型複合ゲート218~221、OR-NAND型複合ゲート258が用いられ、第3の論理ゲートとして、インバータ318~320が用いられる。

第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートによって実現される。

【0192】

したがって、図9に示す6ビットCLA回路においても、図1、図4～図8に示すCLA回路と同様に、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる多入力ゲートを使用することなく、CLA回路を実現できる。

このため、図1、図4～図8に示すCLA回路と同様に、回路の小面積化と低消費電力化を図ることができる。

【0193】

<第8の実施形態>

次に、本発明の第8の実施形態に係る加算回路について説明する。

図10は、本発明の第8の実施形態に係る16ビット加算回路の構成の一例を示すブロック図である。

図10に示す16ビット加算回路は、4ビット半加算器401～404と、4ビットCLA回路501～504および507と、2ビットCLA回路505と、3ビットCLA回路506と、1ビットキャリー出力回路601～604と、3ビットキャリー出力回路605～608と、加算結果出力回路701～704とを有する。

4ビット半加算器401～404を含むユニットは、本発明の第1の論理演算回路の一実施形態である。

4ビットCLA回路501～504、507、2ビットCLA回路505、3ビットCLA回路506、1ビットキャリー出力回路601～604、および3ビットキャリー出力回路605～608を含むユニットは、本発明の第2の論理演算回路の一実施形態である。

加算結果出力回路701～704を含むユニットは、本発明の第3の論理演算回路の一実施形態である。

4ビットCLA回路501～504、507、2ビットCLA回路505、3ビットCLA回路506は、本発明の桁上げ先見回路の一実施形態である。

1ビットキャリー出力回路601～604、および3ビットキャリー出力回路605～608を含むユニットは、本発明のキャリー信号出力回路の一実施形態である。

【0194】

(4ビット半加算器401～404)

4ビット半加算器401～404は、16ビットの加算対象信号を4分割して得られる4ビットの信号をそれぞれ入力し、式(4)および(5)で示すキャリー伝播信号およびキャリー生成信号を各桁について演算する。

【0195】

すなわち、半加算器401は最下位桁(第1桁)～第4桁の加算対象信号(a_0, \dots, a_3)および(b_0, \dots, b_3)を、半加算器402は第5桁～第8桁の加算対象信号(a_4, \dots, a_7)および(b_4, \dots, b_7)を、半加算器403は第9桁～第12桁の加算対象信号(a_8, \dots, a_{11})および(b_8, \dots, b_{11})を、半加算器404は第13桁～第16桁の加算対象信号(a_{12}, \dots, a_{15})および(b_{12}, \dots, b_{15})を、それぞれ入力する。

そして、入力した加算対象信号の各桁について式(4)の排他的論理和および式(5)の論理積を演算する。半加算器401はキャリー伝播信号(p_0, \dots, p_3)およびキャリー生成信号(g_0, \dots, g_3)を、半加算器402はキャリー伝播信号(p_4, \dots, p_7)およびキャリー生成信号(g_4, \dots, g_7)を、半加算器403はキャリー伝播信号(p_8, \dots, p_{11})およびキャリー生成信号(g_8, \dots, g_{11})を、半加算器404はキャリー伝播信号(p_{12}, \dots, p_{15})およびキャリー生成信号(g_{12}, \dots, g_{15})を、それぞれ演算して出力する。

4ビット半加算器401～404は、たとえば図19に示すように、1ビットの半加算器を4つ用いて構成することができる。

【0196】

(4ビットCLA回路501～504)

4ビットCLA回路501～504は、4ビット半加算器401～404から出力される4ビットのキャリー伝播信号および4ビットのキャリー生成信号をそれぞれ入力し、これに応じた1ビットのキャリー伝播信号および1ビットのキャリー生成信号をそれぞれ出力する。

【0197】

すなわち、CLA回路501は半加算器401のキャリー伝播信号(p_0, \dots

, p_3) およびキャリー生成信号 (g_0, \dots, g_3) を、C L A 回路 502 は半加算器 402 のキャリー伝播信号 (p_4, \dots, p_7) およびキャリー生成信号 (g_4, \dots, g_7) を、C L A 回路 503 は半加算器 403 のキャリー伝播信号 (p_8, \dots, p_{11}) およびキャリー生成信号 (g_8, \dots, g_{11}) を、C L A 回路 504 は半加算器 404 のキャリー伝播信号 (p_{12}, \dots, p_{15}) およびキャリー生成信号 (g_{12}, \dots, g_{15}) を、それぞれ入力する。

そして、この入力に応じて、式 (7) に示す 1 ビットのキャリー伝播信号および式 (8) に示す 1 ビットのキャリー生成信号を演算する。演算結果として、C L A 回路 501 はキャリー伝播信号 P_0 およびキャリー生成信号 G_0 を、C L A 回路 502 はキャリー伝播信号 P_1 およびキャリー生成信号 G_1 を、C L A 回路 503 はキャリー伝播信号 P_2 およびキャリー生成信号 G_2 を、C L A 回路 504 はキャリー伝播信号 P_3 およびキャリー生成信号 G_3 を、それぞれ出力する。

【0198】

4 ビット C L A 回路 501 ~ 504 には、本発明に係る 4 ビット C L A 回路が適用される。たとえば、第 1 の実施形態において説明した、図 1 に示す C L A 回路が適用される。

【0199】

(2 ビット C L A 回路 505)

2 ビット C L A 回路 505 は、前段の 4 ビット C L A 回路 501 および 502 から出力される 2 ビットのキャリー伝播信号 (P_0, P_1) と 2 ビットのキャリー生成信号 (G_0, G_1) とを入力し、これに応じた 1 ビットのキャリー伝播信号 P_{1A} および 1 ビットのキャリー生成信号 G_{1A} を出力する。

キャリー伝播信号 P_{1A} およびキャリー生成信号 G_{1A} は、次式のように表される。

【0200】

【数 25】

$$G_{1A} = P_1 \cdot G_0 + G_1 \quad \dots (30)$$

$$P_{1A} = P_1 \cdot P_0 \quad \dots (31)$$

【0201】

図 11 は、2 ビット C L A 回路 505 の構成の一例を示す回路図である。

図 11 に示す 2 ビット C L A 回路 505 は、NAND ゲート 130 と、AND-NOR 型複合ゲート 222 と、インバータ 321 および 322 とを有する。

NAND ゲート 130 は、キャリー伝播信号 P_0 および P_1 の反転論理積を出力する。

インバータ 321 は、NAND ゲート 130 の出力信号を論理反転し、キャリー伝播信号 P_{1A} として出力する、

AND-NOR 型複合ゲート 222 は、キャリー伝播信号 P_1 およびキャリー生成信号 G_0 の論理積とキャリー生成信号 G_1 との反転論理和を出力する。

インバータは、AND-NOR 型複合ゲート 222 の出力信号を論理反転し、キャリー生成信号 G_{1A} として出力する。

【0202】

(3 ビット C L A 回路 506)

3 ビット C L A 回路 506 は、前段の 4 ビット C L A 回路 501 ~ 503 から出力される 3 ビットのキャリー伝播信号 ($P_0 \sim P_2$) と 3 ビットのキャリー生成信号 ($G_0 \sim G_2$) とを入力し、これに応じた 1 ビットのキャリー伝播信号 P_{2A} および 1 ビットのキャリー生成信号 G_{2A} を出力する。

キャリー伝播信号 P_{2A} およびキャリー生成信号 G_{2A} は、次式のように表される。

【0203】

【数 26】

$$G_{2A} = P_2 \cdot P_1 \cdot G_0 + P_2 \cdot G_1 + G_2 \quad \dots (32)$$

$$P_{2A} = P_2 \cdot P_1 \cdot P_0 \quad \dots (33)$$

【0204】

ここで、上式 (32) に対し、式 (16)、(19)、(22) および (27) と同様なグループ化と変形を施す。

式 (23) の左側からグループ化すると、次式が得られる。

【0205】

【数 2 7】

$$G_{2A} = P_2 \cdot (P_1 \cdot G_0 + G_1) + G_2 \quad \dots (34)$$

【0 2 0 6】

式 (2 3) の右側からグループ化すると、次式が得られる。

【0 2 0 7】

【数 2 8】

$$G_{2A} = P_2 \cdot P_1 \cdot G_0 + \{P_2 \cdot G_1 + G_2\} \quad \dots (35)$$

【0 2 0 8】

式 (3 4) の構造に対応した 3 ビット C L A 回路 5 0 6 は、たとえば図 1 2 (A) に示す回路に構成することができる。

図 1 2 (A) に示す 3 ビット C L A 回路 5 0 6 は、NAND ゲート 1 3 1 と、NOR ゲート 1 3 2 と、AND-NOR 型複合ゲート 2 2 3 と、OR-NAND 型複合ゲート 2 5 8 と、インバータ 3 2 3 ~ 3 2 5 を有する。

【0 2 0 9】

インバータ 3 2 3 は、キャリー伝播信号 P_0 の論理反転を出力する。

NAND ゲート 1 3 1 は、キャリー伝播信号 P_1 および P_2 の反転論理積を出力する。

NOR ゲート 1 3 2 は、インバータ 3 2 3 および NAND ゲート 1 3 1 の出力信号の反転論理和を出力する。この出力信号は、式 (3 3) に示すキャリー伝播信号 P_{2A} の演算結果に相当する。

【0 2 1 0】

AND-NOR 型複合ゲート 2 2 3 は、キャリー伝播信号 P_1 およびキャリー生成信号 G_0 の論理積とキャリー生成信号 G_1 との反転論理和を出力する。この出力信号は、式 (3 4) における非共通項 ($P_1 \cdot G_0 + G_1$) の演算結果の論理反転に相当する。

【0 2 1 1】

インバータ 3 2 4 は、キャリー伝播信号 P_2 の論理反転を出力する。

インバータ 3 2 5 は、キャリー生成信号 G_2 の論理反転を出力する。

OR-NAND 型複合ゲート 2 5 8 は、AND-NOR 型複合ゲート 2 2 3 およ

びインバータ 324 の出力信号の論理和とインバータ 325 の出力信号との反転論理積を出力する。この出力信号は、式 (32) に示すキャリー生成信号 G_{2A} の演算結果に相当する。

【0212】

また、式 (35) の構造に対応した 3 ビット CLA 回路 506 は、たとえば図 12 (B) に示す回路に構成することができる。

図 12 (B) に示す 3 ビット CLA 回路 506 は、NAND ゲート 133 と、NOR ゲート 134 と、AND-NOR 型複合ゲート 224 と、OR-NAND 型複合ゲート 259 と、インバータ 326 および 327 を有する。

【0213】

インバータ 326 は、キャリー伝播信号 P_0 の論理反転を出力する。

NAND ゲート 133 は、キャリー伝播信号 P_1 および P_2 の反転論理積を出力する。

NOR ゲート 134 は、インバータ 326 および NAND ゲート 133 の出力信号の反転論理和を出力する。この出力信号は、式 (33) に示すキャリー伝播信号 P_{2A} の演算結果に相当する。

【0214】

AND-NOR 型複合ゲート 224 は、キャリー伝播信号 P_2 およびキャリー生成信号 G_1 の論理積とキャリー生成信号 G_2 との反転論理和を出力する。この出力信号は、式 (35) におけるグループ項 $(P_2 \cdot G_1 + G_2)$ の演算結果の論理反転に相当する。

【0215】

インバータ 327 は、キャリー生成信号 G_0 の論理反転を出力する。

OR-NAND 型複合ゲート 259 は、NAND ゲート 133 およびインバータ 327 の出力信号の論理和と AND-NOR 型複合ゲート 224 の出力信号との反転論理積を出力する。この出力信号は、式 (32) に示すキャリー生成信号 G_{2A} の演算結果に相当する。

【0216】

図 12 (A) および (B) に示す CLA 回路は、何れも上述した第 1 の論理ゲ

ート～第3の論理ゲートを用いて構成されている。

すなわち、図12 (A) に示すCLA回路では、第1の論理ゲートとしてNANDゲート131およびNORゲート132が用いられ、第2の論理ゲートとしてAND-NOR型複合ゲート223およびOR-NAND型複合ゲート258が用いられ、第3の論理ゲートとしてインバータ323～325が用いられる。図12 (B) に示すCLA回路では、第1の論理ゲートとしてNANDゲート133およびNORゲート134が用いられ、第2の論理ゲートとしてAND-NOR型複合ゲート224およびOR-NAND型複合ゲート259が用いられ、第3の論理ゲートとしてインバータ326および327が用いられる。

第2の論理ゲートは、たとえば、図2に示すAND-NOR型複合ゲートや、図3に示すOR-NAND型複合ゲートにより実現される。

したがって、3ビットCLA回路506は、たとえば3入力のNANDゲートなど、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が3段以上になる論理ゲートを使用することなく、回路を構成することができる。

【0217】

(4ビットCLA回路507)

4ビットCLA回路507は、前段の4ビットCLA回路501～504から出力される4ビットのキャリー伝播信号 ($P_0 \sim P_3$) および4ビットのキャリー生成信号 ($G_0 \sim G_3$) を入力し、これに応じた1ビットのキャリー伝播信号 P_{3A} および1ビットのキャリー生成信号 G_{3A} を出力する。

キャリー伝播信号 P_{3A} およびキャリー生成信号 G_{3A} は、次式のように表される。

【0218】

【数29】

$$G_{3A} = P_3 \cdot P_2 \cdot P_1 \cdot G_0 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot G_2 + G_3 \quad \dots (36)$$

$$P_{3A} = P_3 \cdot P_2 \cdot P_1 \cdot P_0 \quad \dots (37)$$

【0219】

4ビットCLA回路507には、本発明に係る4ビットCLA回路が適用され

る。たとえば、第1の実施形態において説明した、図1に示すCLA回路が適用される。

【0220】

(1ビットキャリー出力回路601～604)

1ビットキャリー出力回路601～604は、加算対象信号の最下位桁を第1桁として、それぞれ第4桁のキャリー信号 c_3 、第8桁のキャリー信号 c_7 、第12桁のキャリー信号 c_{11} 、第16桁のキャリー信号 c_{15} を出力する回路である。

【0221】

1ビットキャリー出力回路601は、加算対象信号の最下位桁に対して与えられる外部キャリー信号 c_{in} 、ならびにCLA回路501から出力されるキャリー伝播信号 P_0 およびキャリー生成信号 G_0 を入力し、次式で表される第4桁のキャリー信号 c_3 を出力する。

【0222】

【数30】

$$\begin{aligned} c_3 &= P_0 \cdot c_{in} + G_0 \\ &= P_3' P_2' P_1' P_0' c_{in} \\ &\quad + P_3' P_2' P_1' g_0 \\ &\quad + P_3' P_2' g_1 \\ &\quad + P_3' g_2 \\ &\quad + g_3 \quad \dots \quad (38) \end{aligned}$$

【0223】

1ビットキャリー出力回路602は、外部キャリー信号 c_{in} 、ならびにCLA回路505から出力されるキャリー伝播信号 P_{1A} およびキャリー生成信号 G_{1A} を入力し、次式で表される第8桁のキャリー信号 c_7 を出力する。

【0224】

【数 3 1】

$$\begin{aligned}
c_7 &= P_{1A} \cdot c_{in} + G_{1A} \\
&= P_1 \cdot P_0 \cdot c_{in} + P_1 \cdot G_0 + G_1 \\
&= p_7' p_6' \cdots p_1' p_0' c_{in} \\
&\quad + p_7' p_6' \cdots p_1' g_0 \\
&\quad \vdots \\
&\quad + p_7' g_6 \\
&\quad + g_7 \quad \dots \quad (39)
\end{aligned}$$

【0 2 2 5】

1ビットキャリー出力回路603は、外部キャリー信号 c_{in} 、ならびにCLA回路506から出力されるキャリー伝播信号 P_{2A} およびキャリー生成信号 G_{2A} を入力し、次式で表される第12桁のキャリー信号 c_{11} を出力する。

【0 2 2 6】

【数 3 2】

$$\begin{aligned}
c_{11} &= P_{2A} \cdot c_{in} + G_{2A} \\
&= P_2 \cdot P_1 \cdot P_0 \cdot c_{in} + P_2 \cdot P_1 \cdot G_0 + P_2 \cdot G_1 + G_2 \\
&= p_{11}' p_{10}' \cdots p_1' p_0' c_{in} \\
&\quad + p_{11}' p_{10}' \cdots p_1' g_0 \\
&\quad \vdots \\
&\quad + p_{11}' g_{10} \\
&\quad + g_{11} \quad \dots \quad (40)
\end{aligned}$$

【0 2 2 7】

1ビットキャリー出力回路604は、外部キャリー信号 c_{in} 、ならびにCLA回路507から出力されるキャリー伝播信号 P_{3A} およびキャリー生成信号 G_{3A} を入力し、次式で表される第16桁のキャリー信号 c_{15} を出力する。

【0 2 2 8】

【数 3 3】

$$\begin{aligned}
 c_{15} &= P_{3A} \cdot c_{in} + G_{3A} \\
 &= P_3 \cdot P_2 \cdot P_1 \cdot P_0 \cdot c_{in} + P_3 \cdot P_2 \cdot P_1 \cdot G_0 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot G_2 + G_3 \\
 &= p_{15} \cdot p_{14} \cdot \cdots \cdot p_1 \cdot p_0 \cdot c_{in} \\
 &\quad + p_{15} \cdot p_{14} \cdot \cdots \cdot p_1 \cdot g_0 \\
 &\quad \vdots \\
 &\quad + p_{15} \cdot g_{14} \\
 &\quad + g_{15} \quad \cdots \quad (41)
 \end{aligned}$$

【0 2 2 9】

図 1 3 は、1 ビットキャリー出力回路 6 0 1 の構成の一例を示す回路図である。

図 1 3 に示す 1 ビットキャリー出力回路 6 0 1 は、AND-NOR 型複合ゲート 2 2 5 と、インバータ 3 2 8 とを有する。

AND-NOR 型複合ゲート 2 2 5 は、外部キャリー信号 c_{in} およびキャリー伝播信号 P_0 の論理積とキャリー生成信号 G_0 との反転論理和を出力する。

インバータ 3 2 8 は、AND-NOR 型複合ゲート 2 2 5 の出力信号を論理反転し、キャリー信号 c_3 として出力する。

他の 1 ビットキャリー出力回路 (6 0 2 ~ 6 0 4) についても、図 1 3 と同様の回路構成により実現可能である。

【0 2 3 0】

(3 ビットキャリー出力回路 6 0 5 ~ 6 0 8)

3 ビットキャリー出力回路 6 0 5 ~ 6 0 8 は、それぞれ、第 1 桁 ~ 第 3 桁のキャリー信号 ($c_0 \sim c_2$)、第 5 桁 ~ 第 7 桁のキャリー信号 ($c_4 \sim c_6$)、第 9 桁 ~ 第 11 桁のキャリー信号 ($c_8 \sim c_{10}$)、第 13 桁 ~ 第 15 桁のキャリー信号 ($c_{12} \sim c_{14}$) を出力する回路である。

【0 2 3 1】

すなわち、3 ビットキャリー出力回路 6 0 5 は、4 ビット半加算器 4 0 1 から出力されるキャリー伝播信号およびキャリー生成信号のうち第 1 桁 ~ 第 3 桁の信号 ($p_0 \sim p_2$, $g_0 \sim g_2$) を入力するとともに、外部キャリー信号 c_{in} を入力し

、式(3A)で算出されるキャリー信号($c_0 \sim c_2$)をそれぞれ出力する。

同様に、3ビットキャリー出力回路606は、4ビット半加算器402から出力されるキャリー伝播信号およびキャリー生成信号のうち第5桁～第7桁の信号($p_4 \sim p_6$ 、 $g_4 \sim g_6$)を入力するとともに、1ビットキャリー出力回路601から出力される第4桁のキャリー信号 c_3 を入力し、式(3A)で算出されるキャリー信号($c_4 \sim c_6$)をそれぞれ出力する。

3ビットキャリー出力回路607は、4ビット半加算器403から出力されるキャリー伝播信号およびキャリー生成信号のうち第9桁～第11桁の信号($p_8 \sim p_{10}$ 、 $g_8 \sim g_{10}$)を入力するとともに、1ビットキャリー出力回路602から出力される第8桁のキャリー信号 c_7 を入力し、式(3A)で算出されるキャリー信号($c_8 \sim c_{10}$)をそれぞれ出力する。

3ビットキャリー出力回路608は、4ビット半加算器404から出力されるキャリー伝播信号およびキャリー生成信号のうち第13桁～第15桁の信号($p_{12} \sim p_{15}$ 、 $g_{12} \sim g_{15}$)を入力するとともに、1ビットキャリー出力回路603から出力される第12桁のキャリー信号 c_{11} を入力し、式(3A)で算出されるキャリー信号($c_{12} \sim c_{15}$)をそれぞれ出力する。

【0232】

図14は、3ビットキャリー出力回路605の構成の一例を示す回路図である。

図14に示す3ビットキャリー出力回路605は、AND-NOR型複合ゲート226～228と、インバータ329～331とを有する。

【0233】

AND-NOR型複合ゲート226は、外部キャリー信号 c_{in} およびキャリー伝播信号 p_0 の論理積とキャリー生成信号 g_0 との反転論理和を出力する。

インバータ329は、AND-NOR型複合ゲート226の出力信号を論理反転し、キャリー信号 c_0 として出力する。

AND-NOR型複合ゲート227は、インバータ329から出力されるキャリー信号 c_0 およびキャリー伝播信号 p_1 の論理積とキャリー生成信号 g_1 との反転論理和を出力する。

インバータ 330 は、AND-NOR 型複合ゲート 227 の出力信号を論理反転し、キャリー信号 c_1 として出力する。

AND-NOR 型複合ゲート 228 は、インバータ 330 から出力されるキャリー信号 c_1 およびキャリー伝播信号 p_2 の論理積とキャリー生成信号 g_2 との反転論理和を出力する。

インバータ 331 は、AND-NOR 型複合ゲート 228 の出力信号を論理反転し、キャリー信号 c_2 として出力する。

【0234】

図 14 に示す 3 ビットキャリー出力回路 605 は、下位桁から順番にキャリー信号を生成する回路であり、この方式は図 14 に示すリプルキャリー型加算回路と同じである。他の 3 ビットキャリー出力回路 (606 ~ 608) においても、図 14 に示す回路と同様な方式でキャリー信号を生成することができる。

【0235】

なお、3 ビットキャリー出力回路 (605 ~ 608) から出力される下位から 2 番目のキャリー信号 (c_1 、 c_5 、 c_9 、 c_{13}) の算出式は、式 (32) と等価の構造になるので、これらの信号を生成する回路については、図 12 (A) または図 12 (B) においてキャリー生成信号 G_{2A} を生成する回路と同様な構成にすることができる。

また、3 ビットキャリー出力回路 (605 ~ 608) から出力される下位から 3 番目のキャリー信号 (c_2 、 c_6 、 c_{10} 、 c_{14}) の算出式は、式 (14) と等価の構造になるので、これらの信号を生成する回路については、図 1 においてキャリー生成信号 G を生成する回路と同様な構成にすることができる。

【0236】

(加算結果出力回路 701 ~ 704)

加算結果出力回路 701 ~ 704 は、加算対象信号の各桁に対する下位桁からのキャリー信号 c_{in} 、 c_0 、 c_1 、 \dots 、 c_{14} と、各桁のキャリー伝播信号 p_0 、 \dots 、 p_{15} との排他的論理和を演算し、この演算結果を、各桁の加算結果 s_0 、 \dots 、 s_{15} として出力する。

図 15 は、加算結果出力回路 701 の構成の一例を示す回路図である。図 15

に示すように、それぞれ4ビットの加算結果を出力する加算結果出力回路は、4つのEXORゲートを用いて構成することができる。

【0237】

上述した構成を有する16ビット加算回路においては、第4桁、第8桁、第12桁および第16桁のキャリー信号(c_3 、 c_7 、 c_{11} 、 c_{15})を生成する回路において、CLA回路(501～507)が用いられる。

これらのCLA回路は、何れも2種類の論理ゲート(第1の論理ゲート、第2の論理ゲート)または3種類の論理ゲート(第1の論理ゲート～第3の論理ゲート)で構成される。

【0238】

既に述べたように、第1の論理ゲート～第3の論理ゲートにおいては、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数を2段またはそれより少ない段数にすることができるため、同等な動作速度を有する多入力のNANDゲートやNORゲートと比較して、トランジスタサイズを小さくすることができる。このため、図10に示す加算回路によれば、トランジスタの直列段数が3段以上になる多入力ゲートを用いてCLA回路が構成される従来の加算回路に比べて、動作速度が同程度でありながら、回路面積を縮小し、消費電力を削減することができる。また、回路面積が同程度となるようにトランジスタサイズを増やした場合には、こうした従来の加算回路に比べて動作速度を高速化することができる。

【0239】

なお、上述した実施形態においては、一例として3～6ビットのCLA回路およびこれを用いた加算回路を説明したが、本発明はこれに限定されない。2種類の論理ゲート(第1の論理ゲート、第2の論理ゲート)または3種類の論理ゲート(第1の論理ゲート～第3の論理ゲート)を用いて構成される、任意ビットのCLA回路を実現することができる。

【0240】

たとえば、CLA回路に入力されるNビットのキャリー伝播信号($p_{(N-1)} \sim p_0$)およびNビットのキャリー生成信号($g_{(N-1)} \sim g_0$)の最下位桁をそれぞれ

れ第1桁とする。また、この入力キャリー伝播信号の第N桁から第k桁（kは2からNまでの自然数を示す）までの各桁と、入力キャリー生成信号の第（k-1）桁との論理積を、第（k-1）の論理演算項とし、入力キャリー生成信号の第N桁を第Nの論理演算項とする。この場合、CLA回路から出力されるキャリー生成信号Gは、式（12）に示すように、第1の論理演算項～第Nの論理演算項を論理和演算した結果として得られる。また、CLA回路から出力されるキャリー伝播信号Pは、式（13）に示すように、入力キャリー伝播信号の第1桁から第N桁までの各桁の論理積を演算した結果として得られる。

【0241】

この第1の論理演算項から第Nの論理演算項までの各項が番号順に並んだN項の論理和演算式（キャリー生成信号Gの演算式）に対して、次に述べる式変形を施すと、本発明に係るCLA回路と対応した構造を有する論理式が得られる。

まず、第1の論理演算項側または第Nの論理演算項側から順番に、隣接する2項の論理和を1つのグループ項にグループ化し、グループ化した2項に共通項が存在する場合は、このグループ項における2項の論理和を共通項と非共通項との論理積に変形する。

グループ化後の論理和演算式におけるグループ項の数が2より大きい場合は、グループ化後の論理和演算式において第1の論理演算項～第Nの論理演算項の番号順に応じた順序で並ぶグループ項に対し、上述したグループ化および変形を更に反復する。

上述した式変形により、2つのグループ項からなる論理和演算式（第1の論理式）が得られる。

【0242】

第1の論理ゲートは、2ビットの信号を入力し、入力した2ビットの信号の論理積、反転論理積、論理和または反転論理和を出力する。

上述した実施形態では、2入力NANDゲートや2入力NORゲートを第1の論理ゲートの例として示したが、2入力ANDゲートや2入力ORゲートをこれに用いても良い。何れのゲートを用いても、必要に応じて第3の論理ゲートと第1の論理ゲートとを組み合わせることにより、キャリー伝播信号Pの演算や、第

1 の論理式における共通項の演算において必要となる、複数ビットの入力キャリア伝播信号の論理積を演算することは可能である。

【0243】

第1の論理ゲートの入力信号は、複数ビットの入力キャリア伝播信号の論理積、反転論理積、論理和もしくは反転論理和に相当する信号（たとえば、他の第1の論理ゲートの出力信号）や、入力キャリア伝播信号、入力キャリア生成信号である。あるいは、第3の論理ゲートの出力信号でも良い。

【0244】

第2の論理ゲートは、3ビットの信号を入力し、この入力信号のうちの2ビットの信号の論理積と他の1ビットの信号との論理和もしくは反転論理和に相当する信号、または、この入力信号のうちの2ビットの信号の論理和と他の1ビットの信号との論理積もしくは反転論理積に相当する信号を出力する。

上述した実施形態では、AND-NOR型複合ゲートやOR-NAND型複合ゲートを第2の論理ゲートの例として示したが、AND-OR型複合ゲートやOR-AND型複合ゲートをこれに用いても良い。何れもゲートを用いても、必要に応じて第3の論理ゲートと第2の論理ゲートとを組み合わせることにより、キャリア生成信号Gの演算や、第1の論理式におけるグループ項、非共通項の演算において必要となる、2信号の論理積と1信号との論理和を演算することは可能である。

【0245】

第2の論理ゲートの入力信号は、第1の論理式におけるグループ項、共通項、非共通項の演算結果に相当する信号や、入力キャリア生成信号、入力キャリア伝播信号、第1の論理ゲートの出力信号である。あるいは、第3の論理ゲートの出力信号でも良い。

第2の論理ゲートの出力信号は、第1の論理式におけるグループ項や非共通項の演算結果、あるいは出力キャリア生成信号の演算結果として出力される。

【0246】

第3の論理ゲートは、1ビットの信号を入力し、この入力信号を論理反転して出力するゲート、すなわちインバータである。

第3の論理ゲートの入力信号は、入力キャリー生成信号や、入力キャリー伝播信号、第1の論理ゲートの出力信号、第2の論理ゲートの出力信号である。

第3の論理ゲートの出力信号は、第1の論理ゲートや第2の論理ゲートに出力される。あるいは、出力キャリー伝播信号や出力キャリー生成信号の演算結果として出力される。

【0247】

【発明の効果】

本発明の桁上げ先見回路および加算回路によれば、回路面積を縮小し、消費電力を削減することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る4ビットCLA回路の構成の一例を示す回路図である。

【図2】

AND-NOR型複合ゲートの2つの構成例を示す回路図である。

【図3】

OR-NAND型複合ゲートの2つの構成例を示す回路図である。

【図4】

本発明の第2の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

【図5】

本発明の第3の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

【図6】

本発明の第4の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

【図7】

本発明の第5の実施形態に係る5ビットCLA回路の構成の一例を示す回路図である。

【図 8】

本発明の第 6 の実施形態に係る 6 ビット C L A 回路の構成の一例を示す回路図である。

【図 9】

本発明の第 7 の実施形態に係る 6 ビット C L A 回路の構成の一例を示す回路図である。

【図 10】

本発明の第 8 の実施形態に係る 16 ビット加算回路の構成の一例を示すブロック図である。

【図 11】

図 10 に示す加算回路における、2 ビット C L A 回路の構成の一例を示す回路図である。

【図 12】

図 10 に示す加算回路における、3 ビット C L A 回路の 2 つの構成例を示す回路図である。

【図 13】

図 10 に示す加算回路における、1 ビットキャリー出力回路の構成の一例を示す回路図である。

【図 14】

図 10 に示す加算回路における、3 ビットキャリー出力回路の構成の一例を示す回路図である。

【図 15】

図 10 に示す加算回路における、加算結果出力回路の構成の一例を示す回路図である。

【図 16】

4 ビット入力のリップルキャリー型加算回路の構成例を示す回路図である。

【図 17】

多入力のゲートを用いて構成された、キャリー信号生成回路の一例を示す回路図である。

【図 18】

複数の C L A 回路を階層的に接続して構成されるキャリー信号の生成回路の一例を示す回路図である。

【図 19】

図 18 に示すキャリー信号生成回路における、4 ビット半加算器の構成例を示す回路図である。

【図 20】

図 18 に示すキャリー信号生成回路における、C L A 回路の構成例を示す回路図である。

【図 21】

複合型ゲートを用いて構成された C L A 回路の一例を示す回路図である。

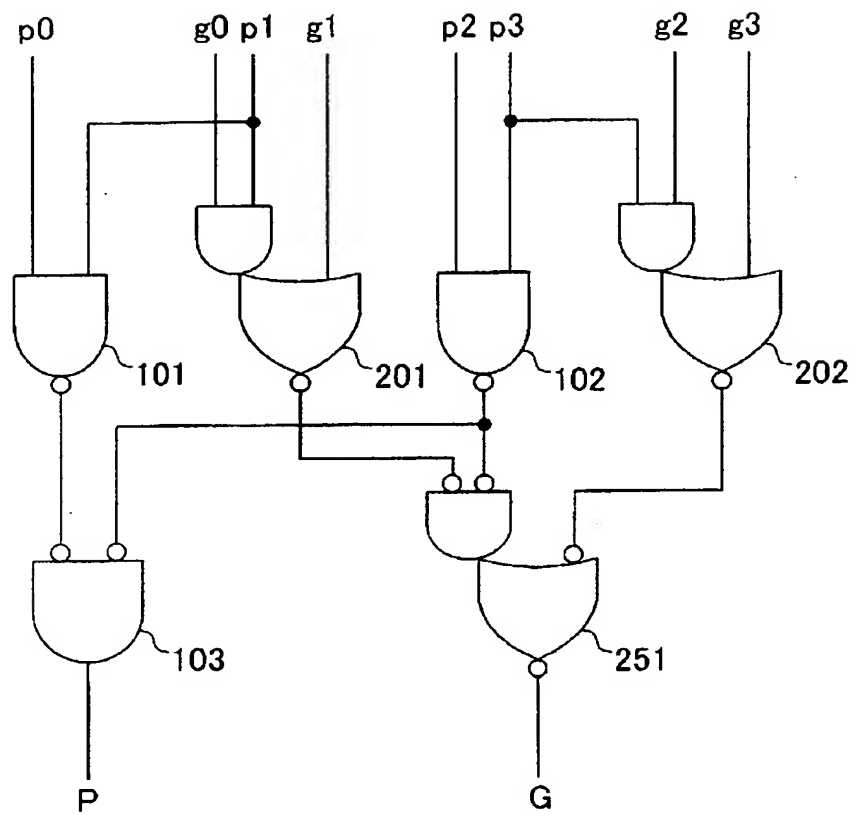
【符号の説明】

101～134…NANDゲートまたはNORゲート、135～138…EXORゲート、201～228…AND-NOR型複合ゲート、251～259…OR-NAND型複合ゲート、301～331…インバータ、401～404…4ビット半加算器、501～504, 507…4ビットC L A回路、505…2ビットC L A回路、506…3ビットC L A回路、601～604…1ビットキャリー出力回路、605～608…3ビットキャリー出力回路、701～704…加算結果出力回路、Q n 1 0～Q n 1 5…n型MOSトランジスタ、Q p 1 0～Q p 1 5…p型MOSトランジスタ

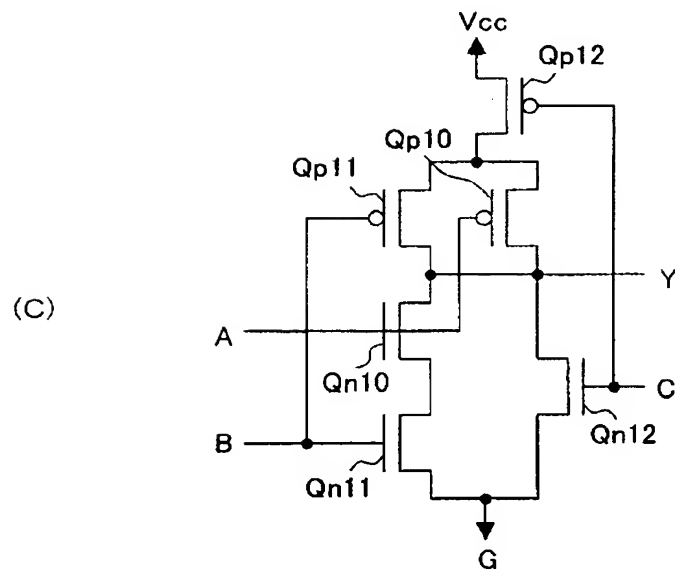
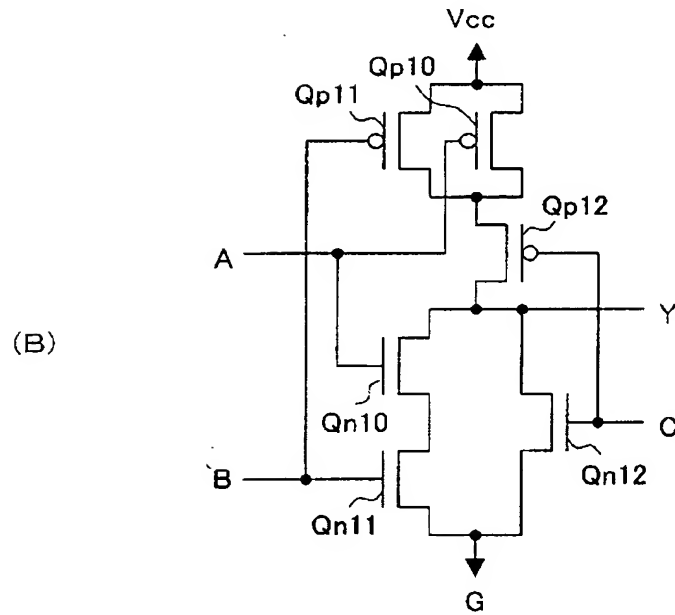
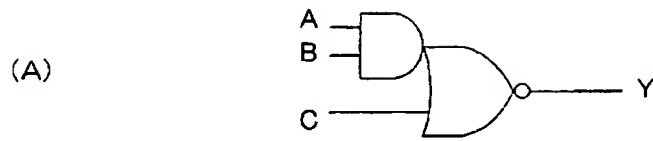
【書類名】

図面

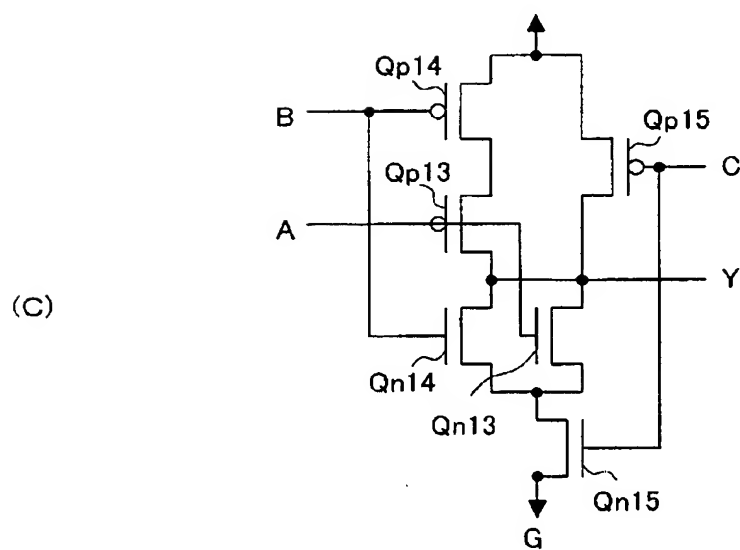
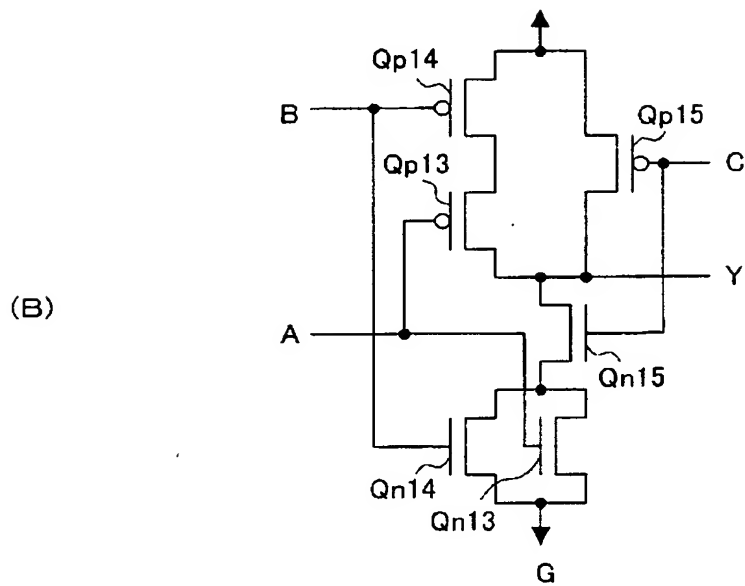
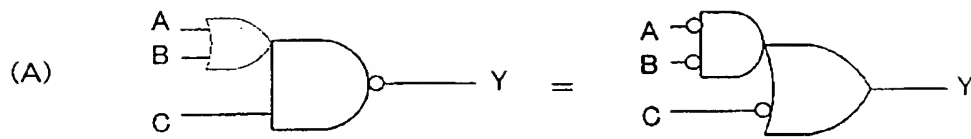
【図 1】



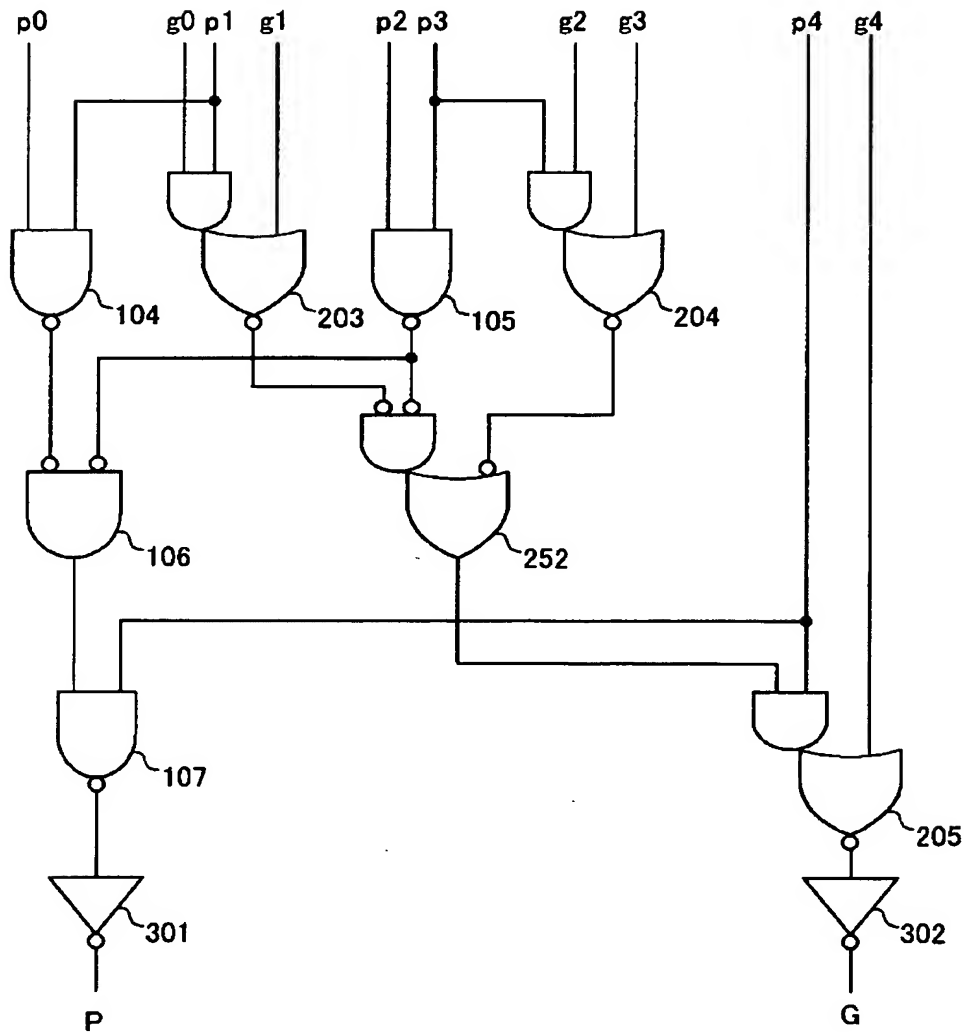
【図 2】



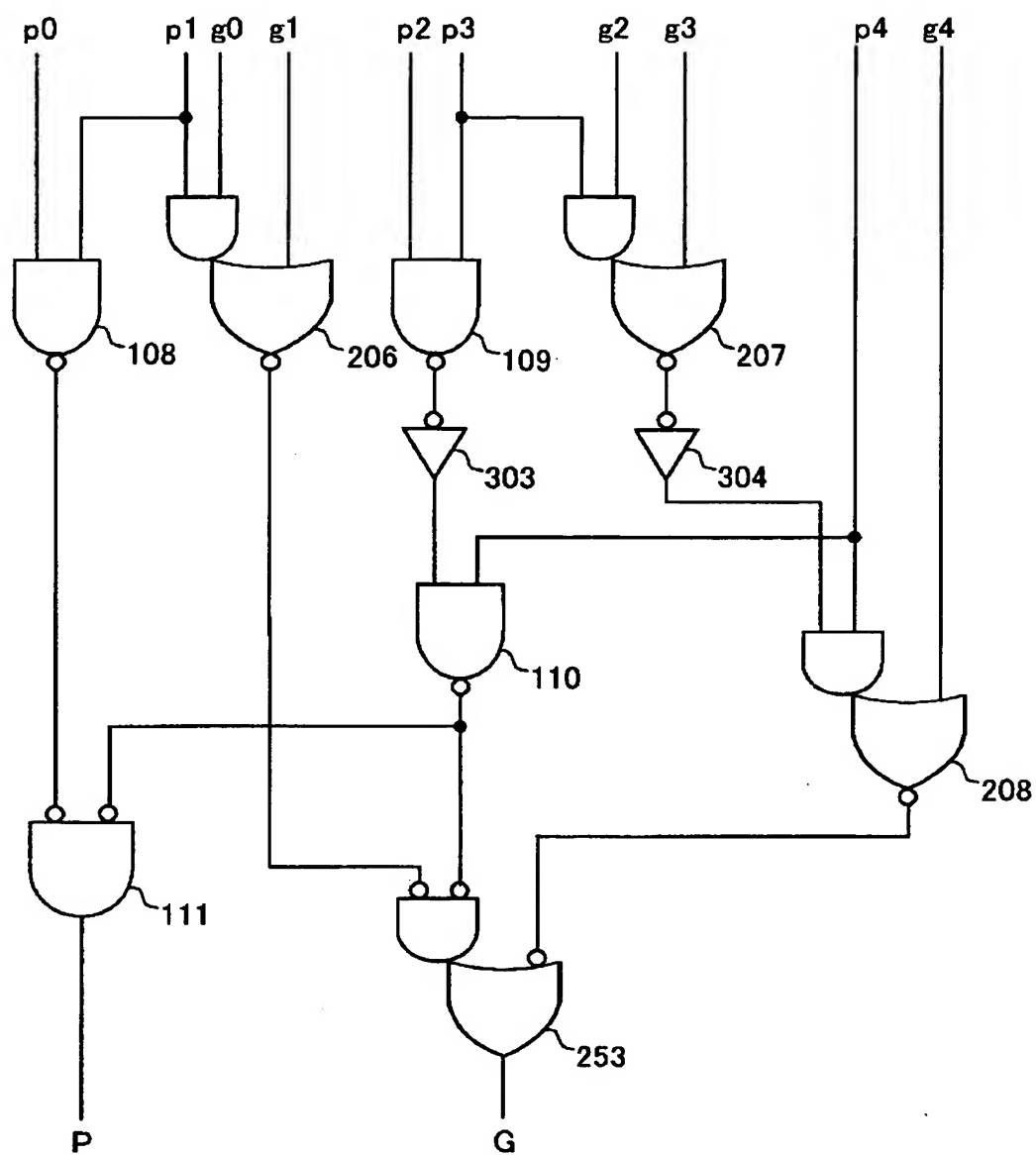
【図 3】



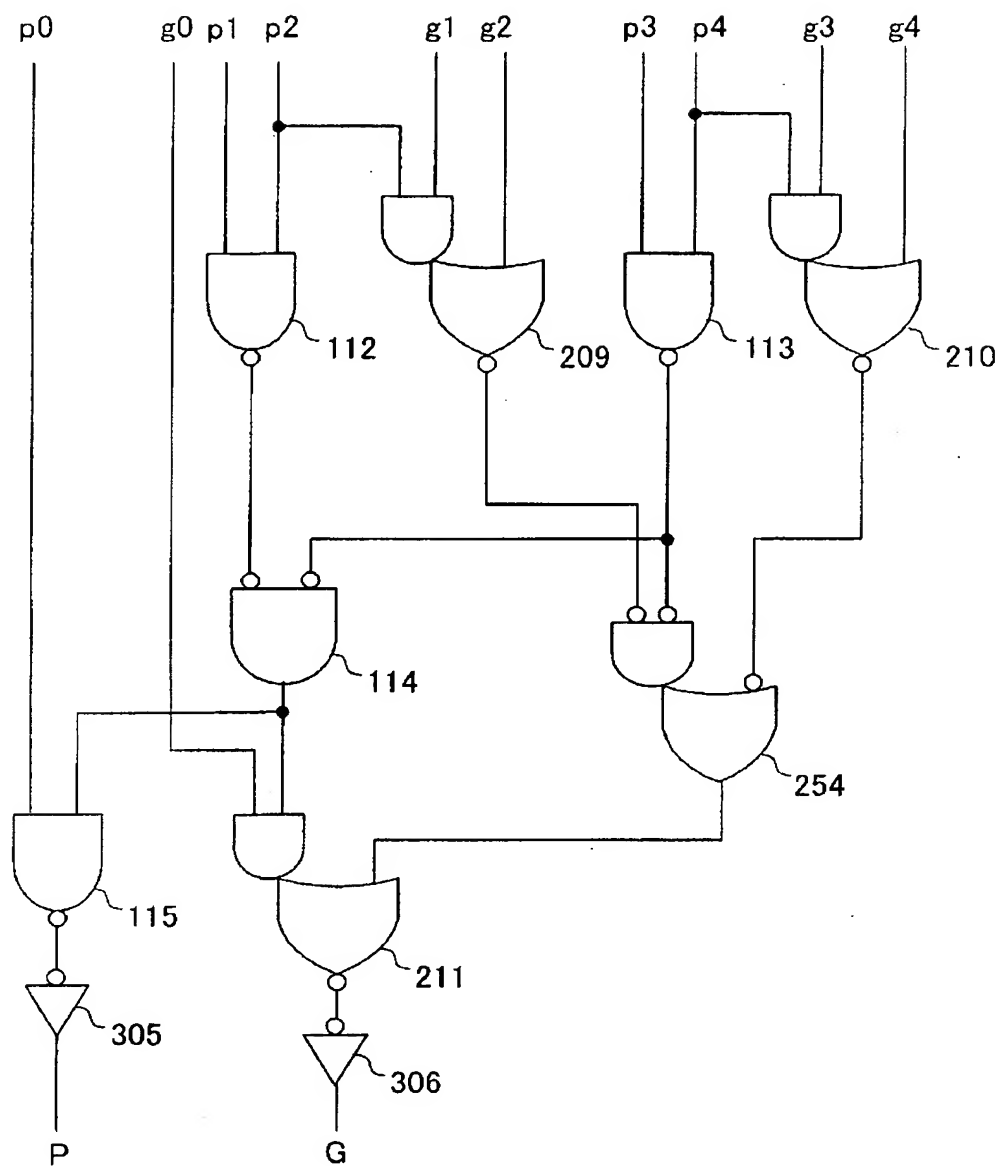
【図 4】



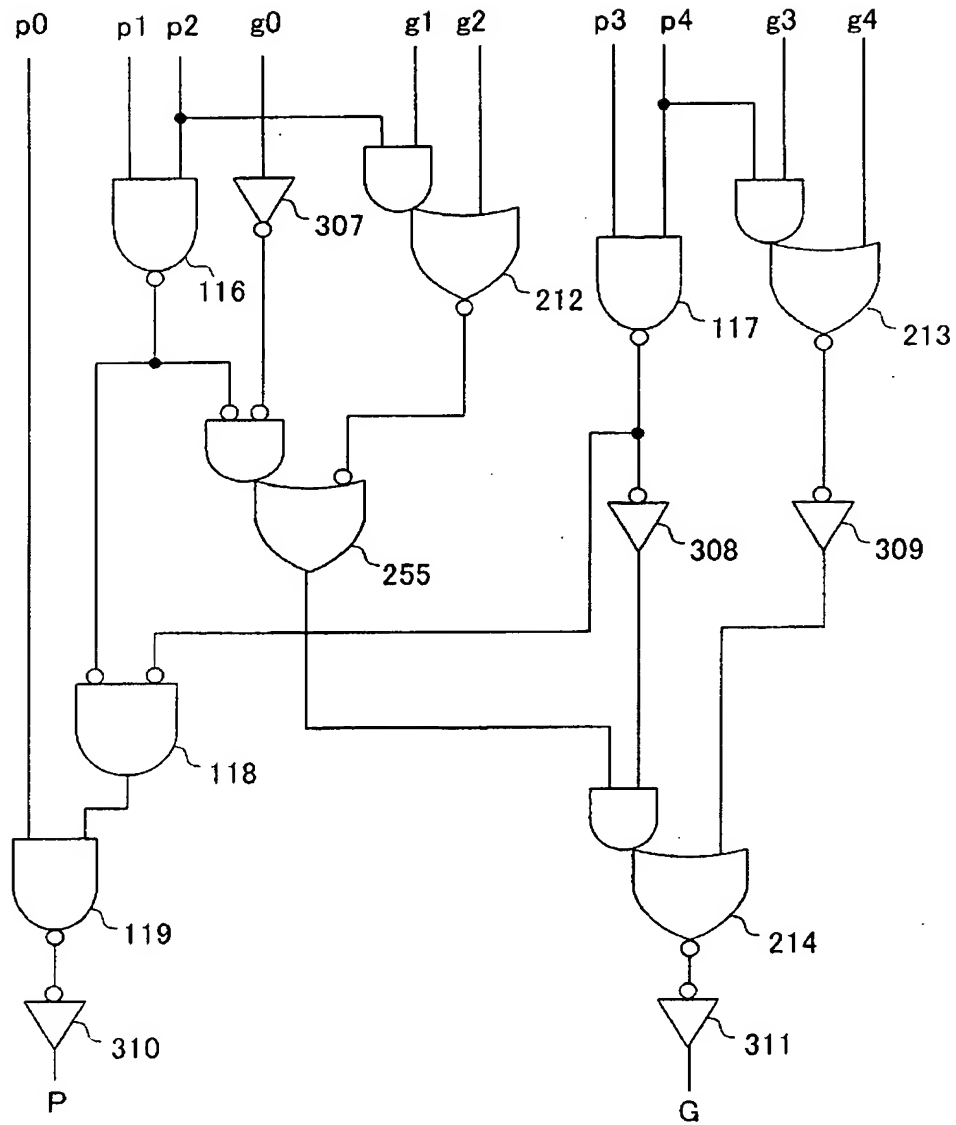
【図 5】



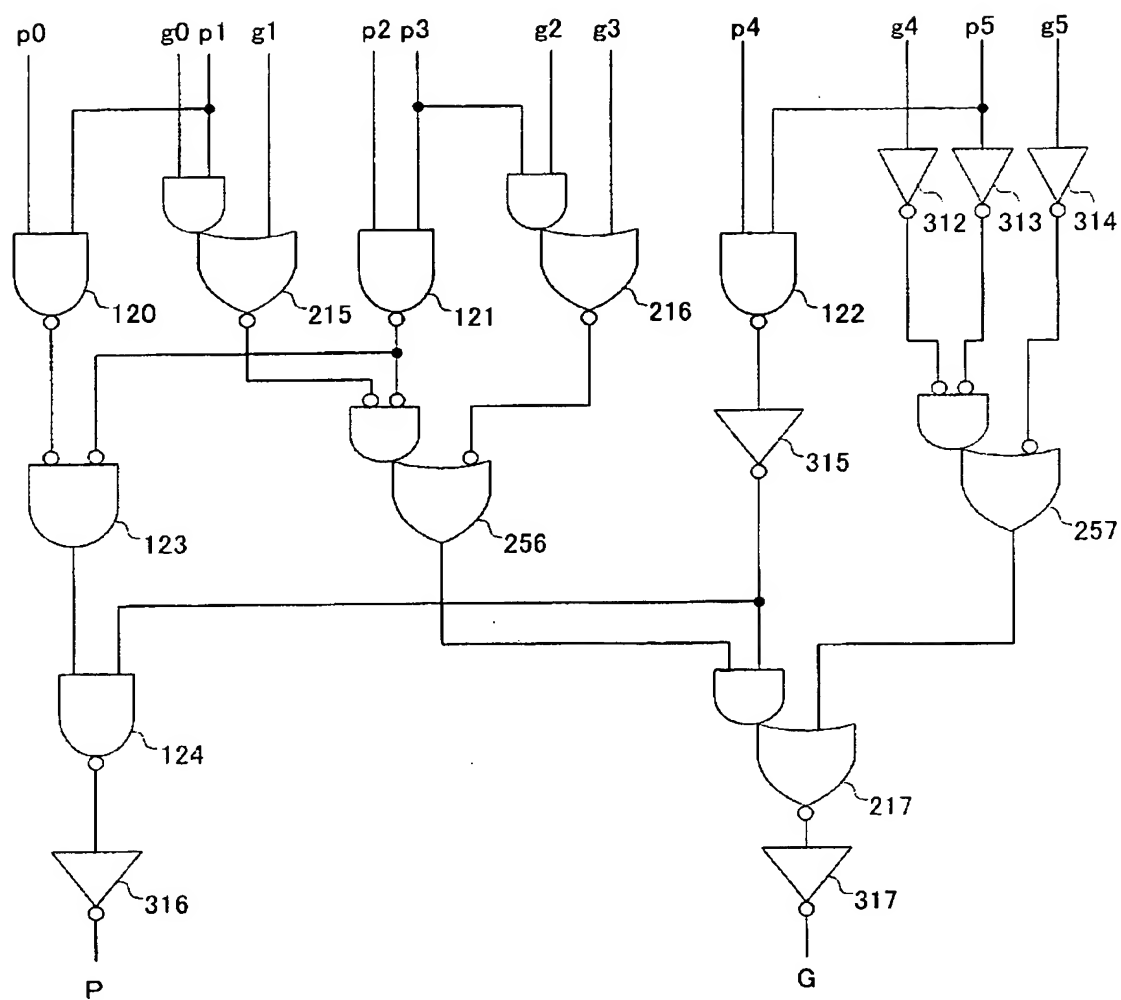
【図 6】



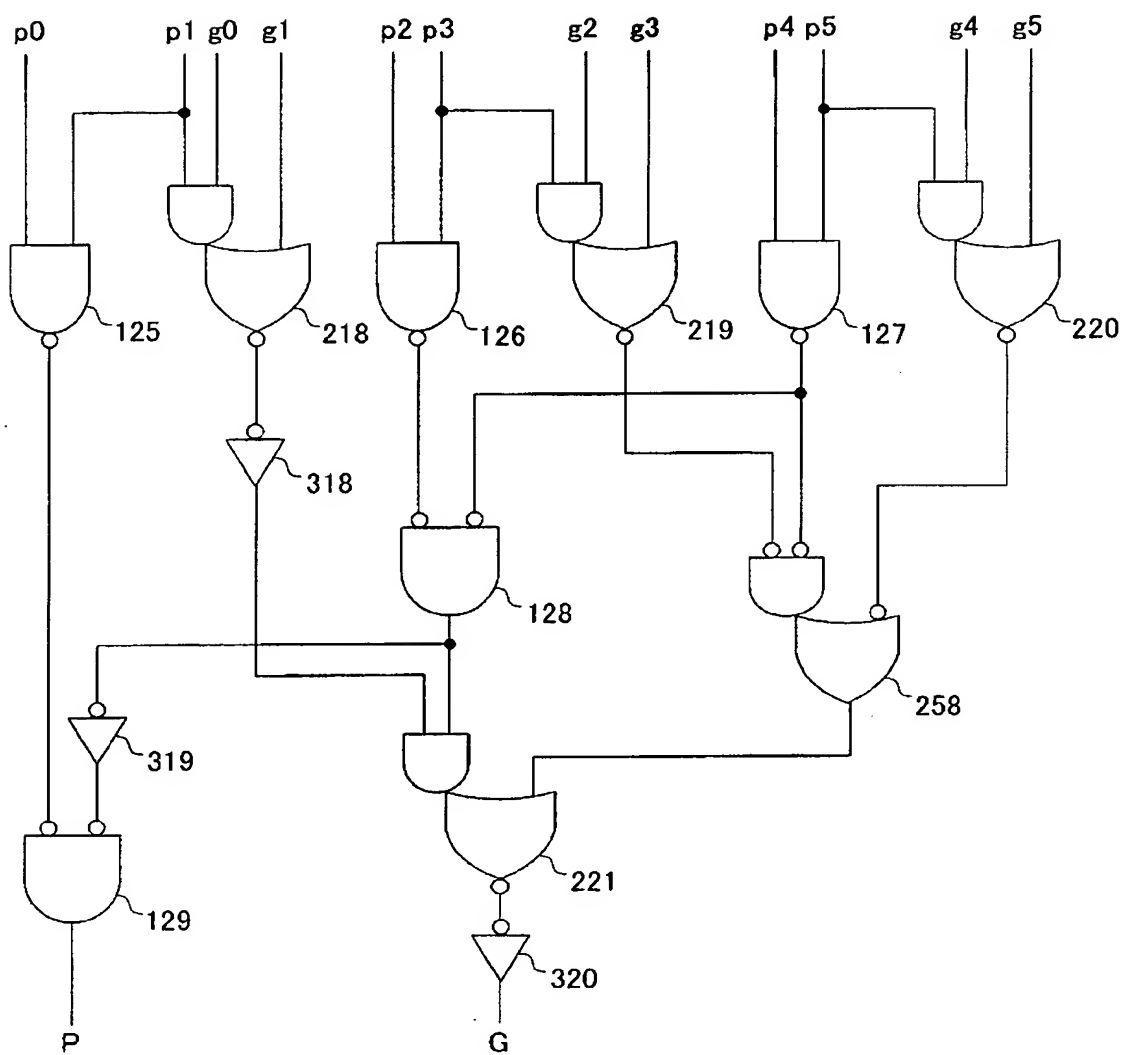
【図 7】



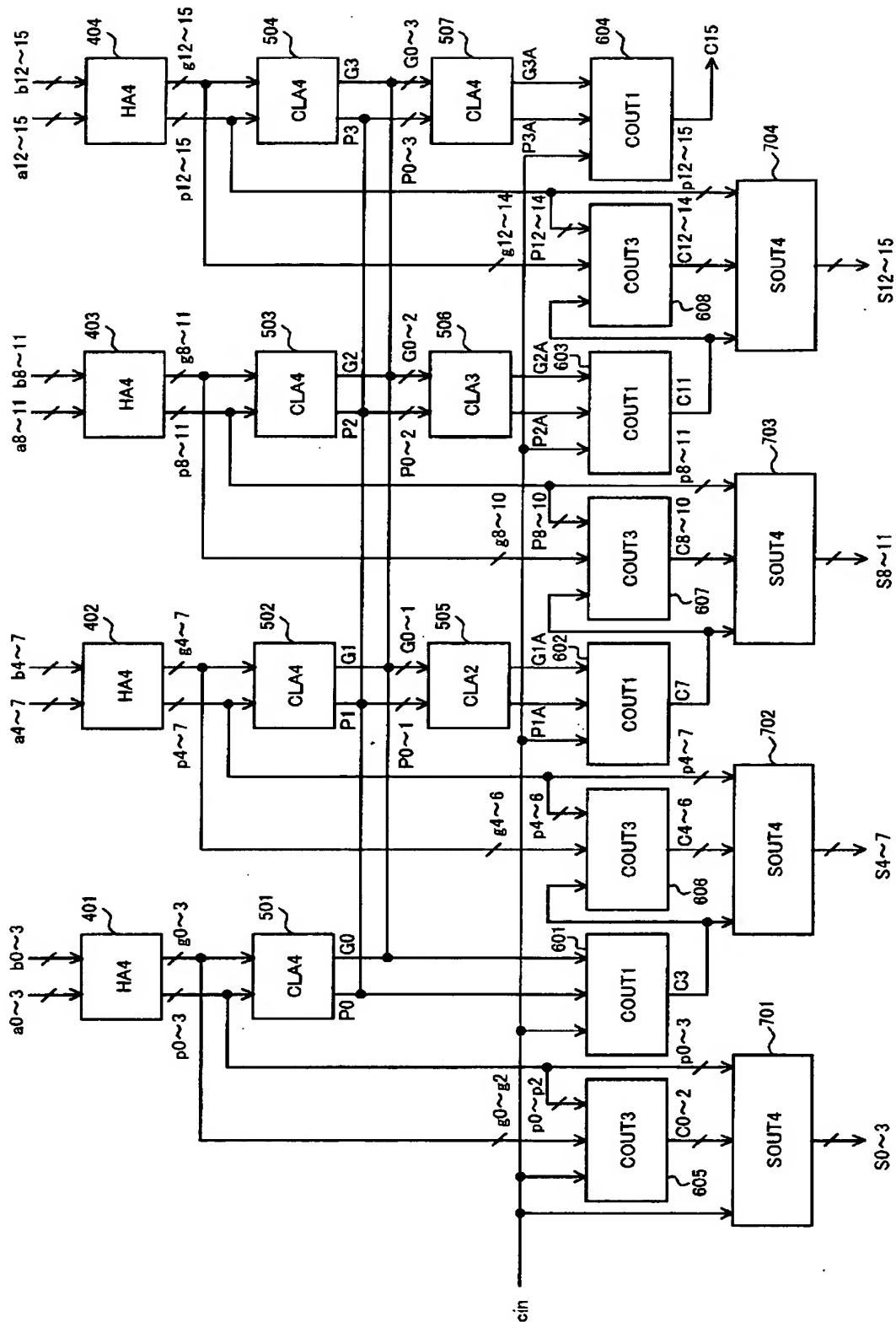
【図 8】



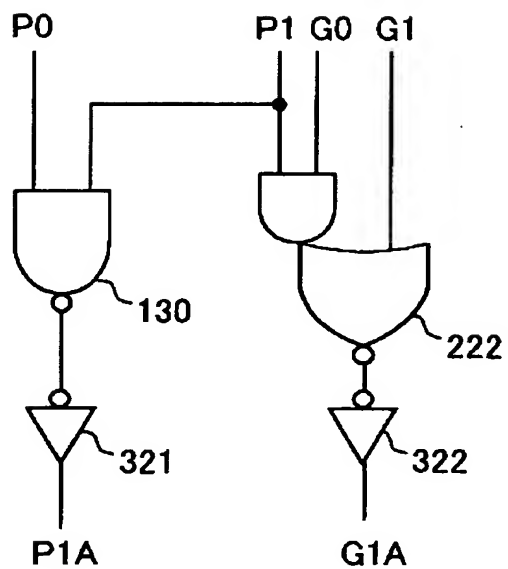
【図 9】



【図 10】

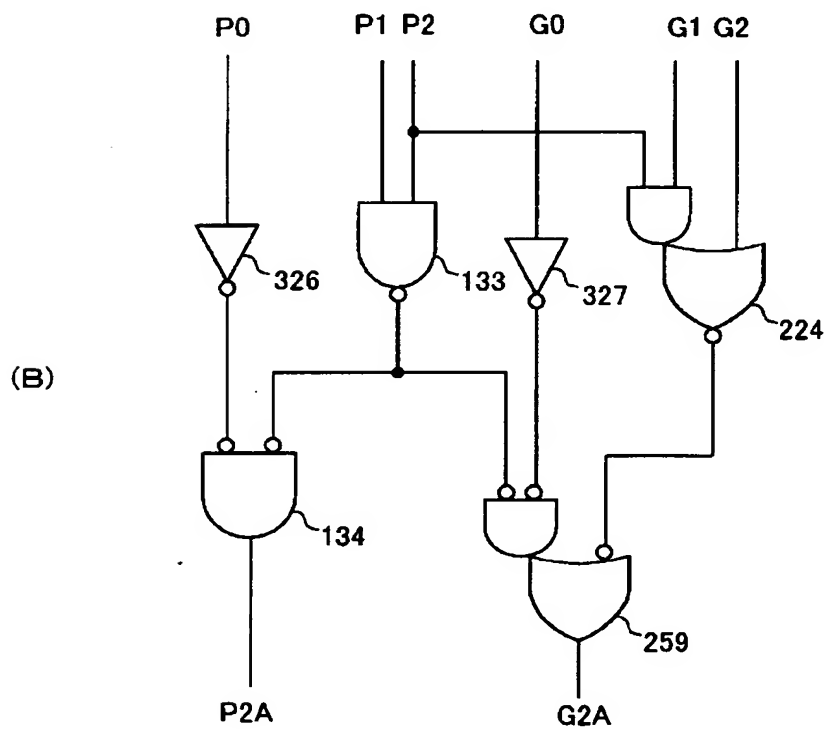
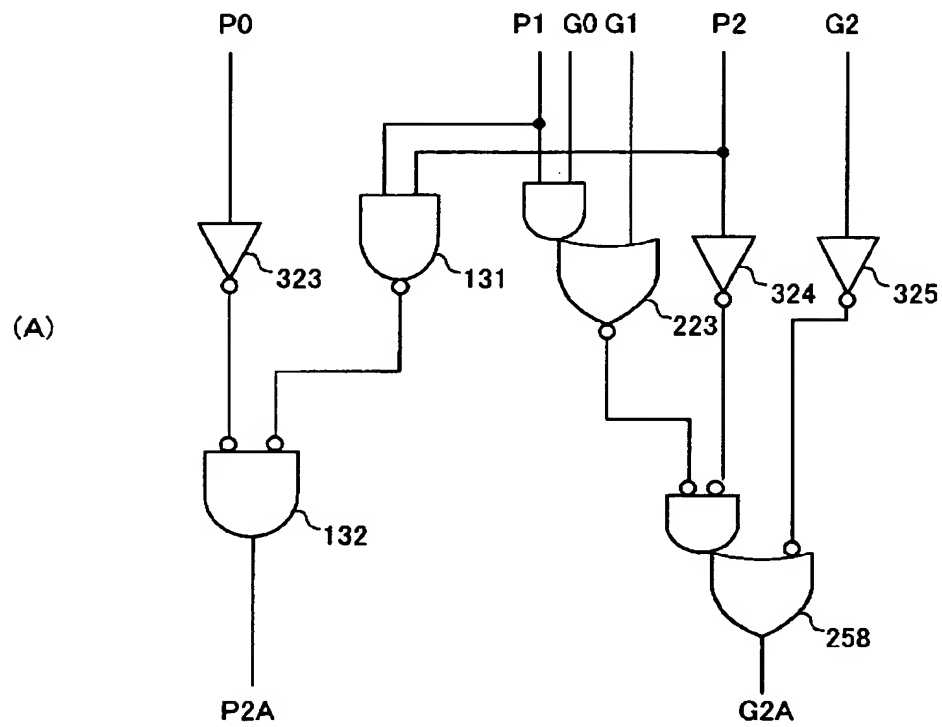


【図 11】

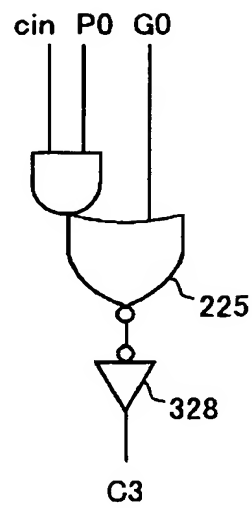


505

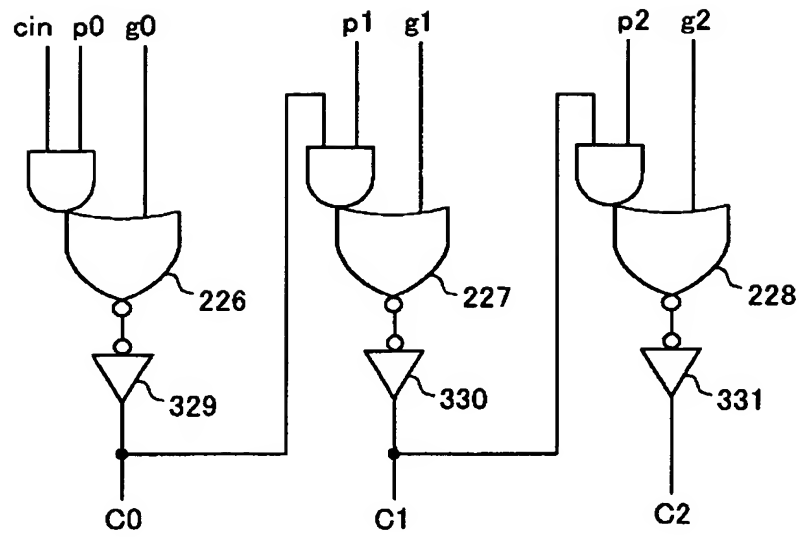
【図 12】



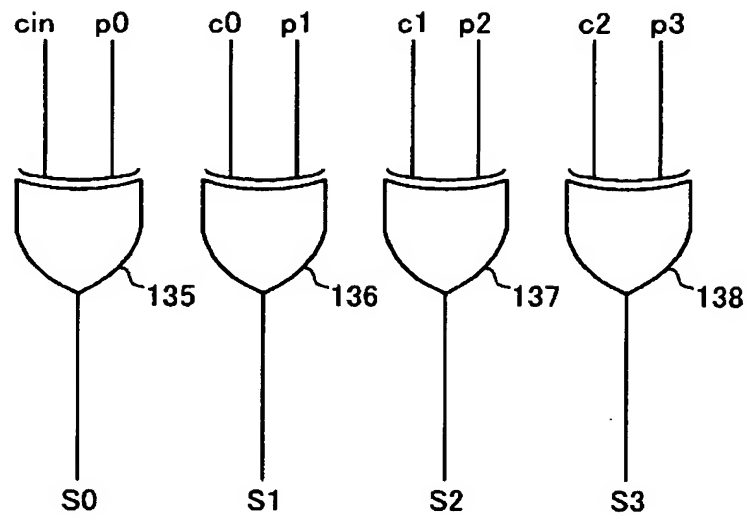
【図 13】

601

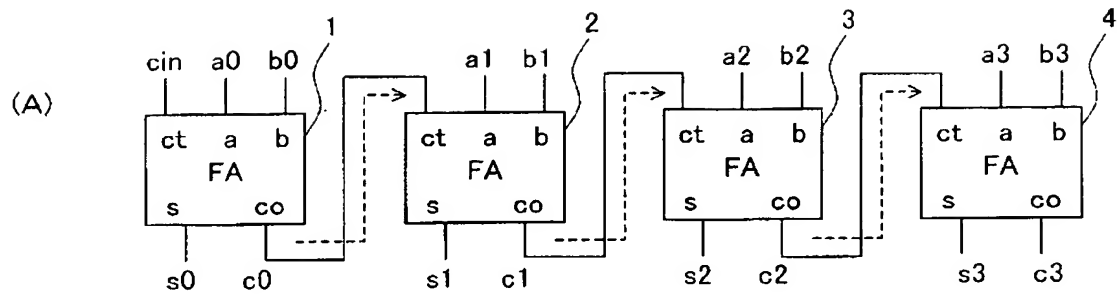
【図 14】

605

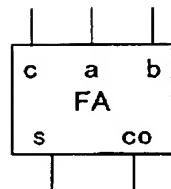
【図 1 5】

701

【図 16】



(B)

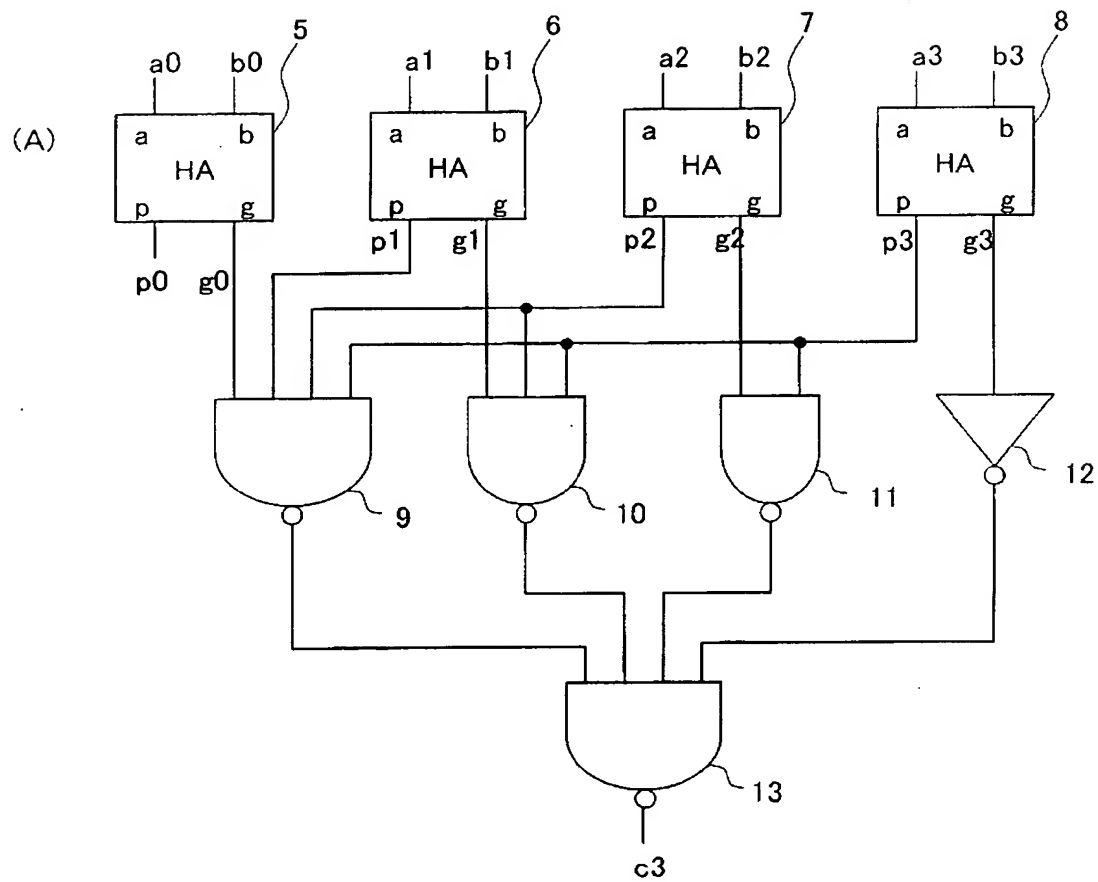


1ビット全加算器

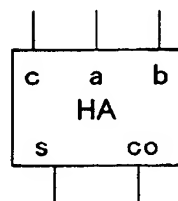
$$s = a \oplus b \oplus ci$$

$$co = a \cdot b + a \oplus b \cdot ci$$

【図 17】



(B)

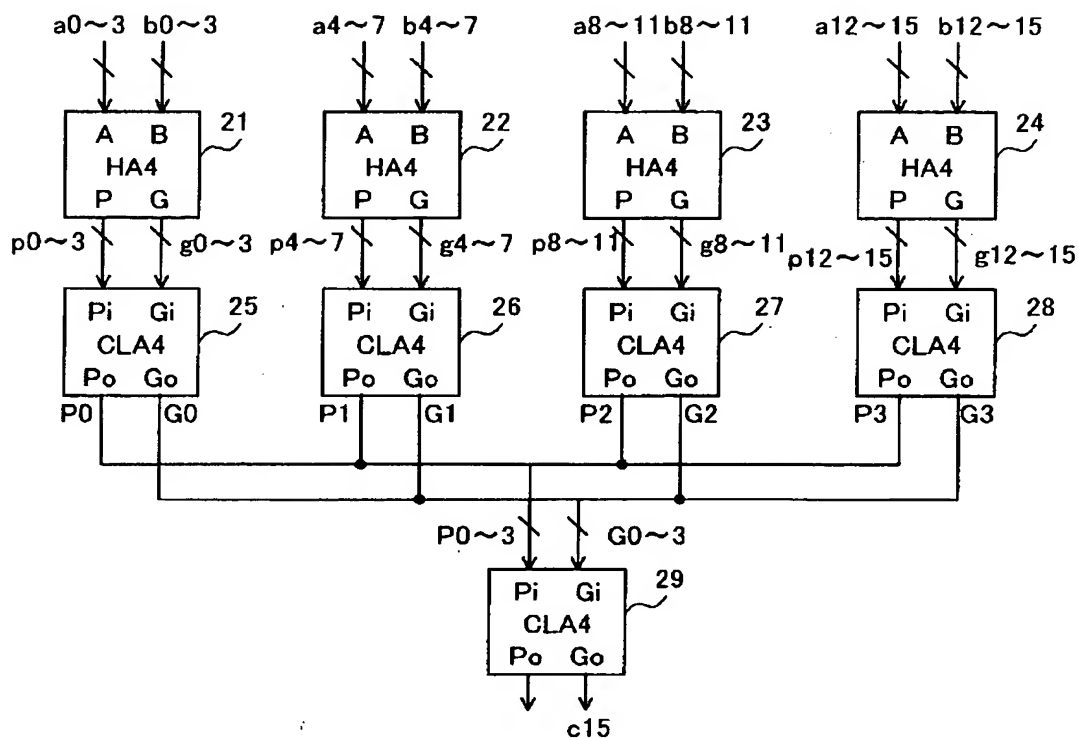


1ビット半加算器

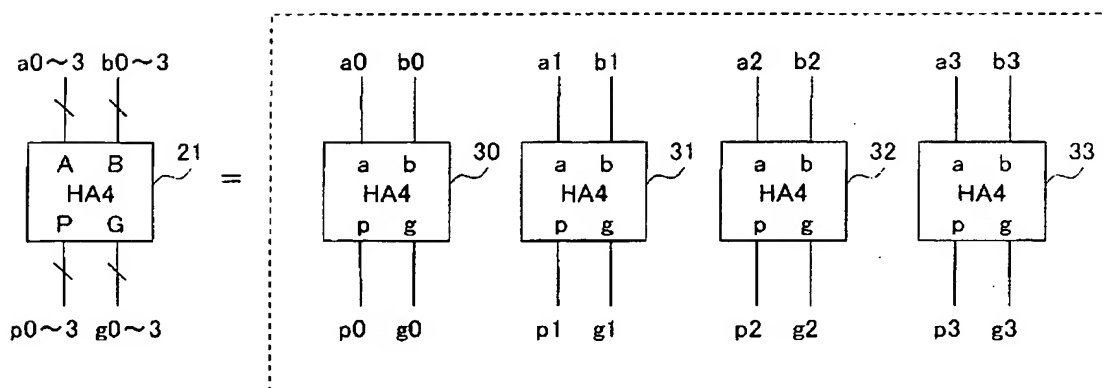
$$p = a \oplus b$$

$$g = a \cdot b$$

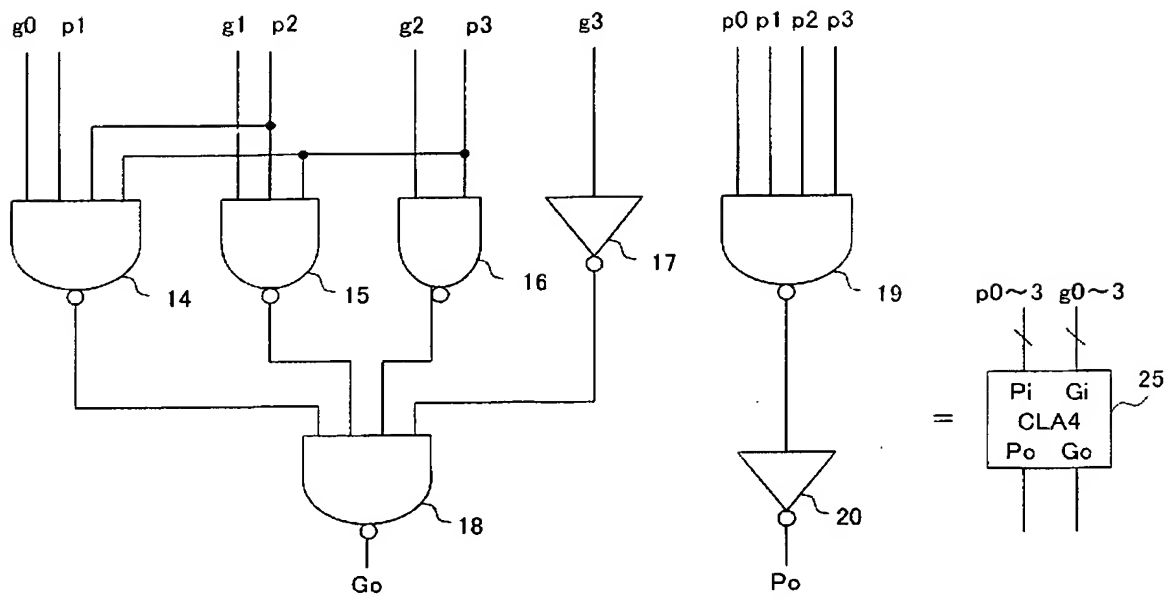
【図 18】



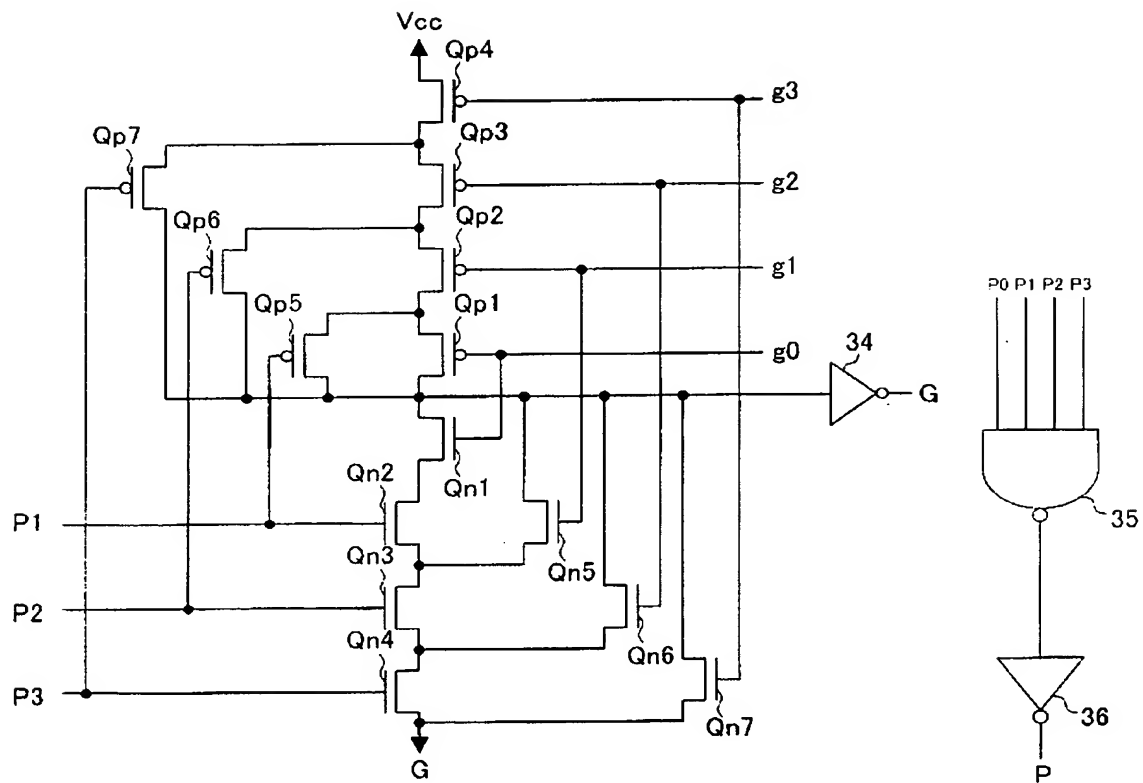
【図 19】



【図 20】



【図 21】





【書類名】 要約書

【要約】

【課題】 回路面積の増加と消費電力の増大を抑えることができる桁上げ先見回路とおよび加算回路を提供する。

【解決手段】 2入力NANDゲート（101, 102）、2入力NORゲート（103）、AND-NOR型複合ゲート（201, 202）、OR-NAND型複合ゲート（251）など、出力端子と電源ラインまたは接地ラインとの間に挿入されるトランジスタの直列段数が2段以下になるゲートを用いて、桁上げ先見回路を構成する。トランジスタの直列段数が大きくなると、駆動能力が低下するため、同等の動作速度を維持するためには、トランジスタサイズを大きくする必要がある。多入力のNANDゲートやNORゲートゲートを用いないため、トランジスタの直列段数が抑えられ、トランジスタサイズを小さくすることができる。これにより、回路面積の増加と消費電力の増大を抑えることができる。

【選択図】 図1

特願 2 0 0 3 - 0 5 5 7 6 3

出 願 人 履 歴 情 報

識別番号

[3 9 0 0 2 0 2 4 8]

1. 変更年月日

1 9 9 9 年 1 1 月 1 9 日

[変更理由]

住所変更

住 所

東京都新宿区西新宿六丁目 2 4 番 1 号

氏 名

日本テキサス・インスツルメンツ株式会社